LABORATOIRE D'INFORMATIQUE THEORIQUE
& APPLICATIONS DE MARSEILLE
L.I.T.A.M.
DEPARTEMENT DE MATHEMATIQUE-INFORMATIQUE
LUMINY
UNIVERSITE AIX-MARSEILLE II

BULLETIN D'INFORMATIQUE FONDAMENTALE ET APPLICATIONS

N°14

Juin 1986

SOMMAIRE

EDITORIAL

Patrick Isoardi et Jean-Philippe Lehmann

GLISSEMENT D'UNE FENETRE DANS UN CHAMP MEMOIRE CONTINU.
PRINCIPES ET TECHNIQUES D'ASSEMBLAGE DES MATERIELS STANDARD

Patrick Isoardi et Jean-Philippe Lehmann

ISSN 0291-5413

ADRESSE POSTALE: FACULTE DES SCIENCES DE LUMINY
MATHEMATIQUE-INFORMATIQUE . LITAM . BAT.TPR2 . 9ème ETAGE

L'impression et la réalisation de ce bulletin ont été grandement facilitées grâce à l'amabilité du Centre de Physique Théorique de Luminy, que nous remercions spécialement en la personne de Monsieur Patrick Iglesias.

LE SYSTEME EDUCATIF
UNE VISION TECHNICISTE DE LA SCIENCE

Dans leur processus de reproduction, nos sociétés modernes développées consacrent toutes, une part considérable de leurs ressources à la transmission des connaissances; au delà des singularités nationales et politiques, les dimensions matérielles de nos différents systèmes éducatifs expriment clairement ces orientations. Malheureusement l'énormité des chiffres en cause traduit plus une contrainte subie qu'un choix véritable.

Le thème de l'éducation constitue un leitmotiv des grands débats de nos sociétés, et il apparait que celui-ci présente, depuis une vingtaine d'années environ, des variations caractéristiques d'un nouvel état d'esprit: d'une part, des options dominées par des valeurs se rattachant à l'efficacité économique et à l'hyperspécialisation, se substituent progressivement aux idéaux classiques de type universitaire; d'autre part, les références éthiques à l'éducation en tant que valeur positive en soi, témoin d'une aspiration profonde de l'humanité, tendent à s'estomper.

S'il est clair que la masse et la diversité toujours croissantes des connaissances imposent nécéssairement le recours à la spécialisation, et que la compétition économique internationale nous contraint à adapter notre système éducatif aux conditions externes du marché, encore faut-il discuter la nature de ces adaptations, surtout lorsque notre époque voit s'élaborer des formes de réponses à l'ensemble de ces problèmes, sur lesquelles il est urgent de s'interroger.

Sur la spécialisation et l'efficacité économique.

La spécialisation est présentée comme une nécéssité d'ordre technique, étrangère à toute considération politique: il faut bien affirmer des compétences de haut niveau dans les technologies de pointe qui vont de l'immunologie à l'optoélectronique, en passant par les matériaux supraconducteurs, le connexionisme, l'intelligence artificielle, la productique, les ordinateurs neuronaux etc, etc... Sinon notre pays se retrouvera irrémédiablement à la traîne, et notre prospérité, l'avenir de nos enfants seront compromis pour des décennies puisque d'autres nations se sont données les moyens de ces fameuses compétences.

De cette constatation la conclusion a été tirée que l'orientation toute entière de notre système éducatif devait être revue; tout naturellement on en est venu à considérer que la mission des universités était de former ces spécialistes de très haut niveau dont le pays a un si grand besoin. Il est probable que l'irruption assez impressionnante des effets de la technologie moderne dans notre vie de tous les jours, illustrant en cela les théories de la Science vécue comme "force productive directe", a crée un espèce de traumatisme dans le corps social, qui a grandement favorisé la propagation de ces nouvelles figures mythiques. Ce processus s'accompagne d'une terminologie à la fois ésotérique et évocatrice, mais toujours ancrée sur un vocabulaire à coloration scientifique ou technique.

Or la question réellement posée à nos sociétés est désormais celle de la maîtrise du développement de ces innombrables techniques, d'ailleurs constamment renouvelées, que la science a rendues possibles et dont le monde économique autorise ou non l'apparition. La réponse à une telle question ne consiste certainement pas en un développement incontrôlé de l'apprentissage de ces différentes techniques de pointe dans les Universités au détriment des formations fondamentales. C'est pourtant cette attitude qui se développe. Les raisons en sont multiples:

- en premier lieu la nécéssité d'organiser ces apprentissages est bien réelle, et comme ceux-ci font référence à des connaissances techniques nouvelles ou pour le moins récentes, les conditions intellectuelles permettant la confusion entre aspect moderne et aspect fondamental se trouvent réunies.

- en second lieu la population étudiante se trouve séduite, non seulement par le côté moderne de ces nouvelles disciplines et les perspectives de débouchés professionnels qui s'y attachent, mais encore par le fait, à notre avis très sous-estimé, que les efforts intellectuels qui lui sont demandés sont bien moins considérables que ceux qu'il faut mettre en oeuvre dans le cadre des formations fondamentales. En outre la population étudiante a eu beaucoup à soufrir de l'ancienne idéologie universitaire qui regardait avec une condescendance parfaitement injustifiée toutes les demandes du corps social qui peuvent s'exprimer dans la formule: A quoi çà sert ?

- en troisième lieu la hiérarchie universitaire y trouve un compte qu'elle juge très intéréssant: les directeurs de tous les laboratoires et tous ceux de façon générale qui ont en charge la recherche de crédits, ont pu se persuader ces dernières années, que le profil type du projet générateur de crédit était ainsi caractérisé, moderniste au sens le plus grossier, porteur affirmé d'implications industrielles, liaisons solides avec des entreprises "de pointe". Si l'on ajoute qu'une des formes privilégiées de financement des activités universitaires passe désormais par les conseils régionaux et généraux, et que ces derniers se sont juqu'ici enfermés dans une vision extrêmement restrictive de perspectives économiques à très court terme, les conclusions se tirent d'elles-mêmes.

- en quatrième lieu les entreprises sont évidemment disposées à favoriser de telles orientations, qui non seulement sont conformes à leurs propres objectifs, mais en outre leur procurent des économies de formation considérables quand il ne s'agit pas de la réalisation complète de projets finalisés à des coûts quasi insignifiants. Elles appuient donc ces orientations de toutes leurs forces au niveau local comme au niveau politique central.

L'ensemble de ces mutations trouvent également sa source et son prétexte dans une remise en cause du système éducatif en général et notamment de l'Université, qui présentaient de nombreuses incapacités à s'adapter au monde contemporain. Mais alors que le travail qui s'imposait était de construire un véritable projet éducatif cohérent tant vis à vis du thesaurus de nos connaissances antérieures que des développements les plus modernes, il faut bien reconnaître que les efforts entrepris se sont limités à des perspectives étroites au service exclusif de finalités économiques à court terme, présentées très tendancieusement comme des opérations indispensables de survie, seules dignes d'intérêt.

Sur le projet de notre système éducatif

L'absence de projet éducatif d'ensemble est la caractéristique essentielle de notre système. Dans le domaine scientifique celui-ci se présente désormais, en tout cas tendanciellement, comme une somme, une juxtaposition de disciplines dont le nombre va d'ailleurs croissant, sans qu'un projet unificateur n'en indique et n'en garantisse ni la direction ni la cohérence. On a vu ressurgir une nouvelle version de la querelle entre anciens et modernes dont les seuls fruits furent la confusion et le temps perdu: les uns, arcboutés sur une conception féodale de l'Université qui l'enfermait dans une tour d'ivoire où la Connaissance en soi constituait le but ultime et qui la déconnectait des préoccupations du monde extérieur en pleine évolution, ont ratiociné sur les dévoiements actuels et se sont avérés incapables de dresser un constat critique de leur propre attitude qui a pourtant déterminé l'isolement dont ils ont tant à se plaindre aujourd'hui; ceux-là ont formé l'arrière-garde et si l'espèce qu'ils incarnent est désormais en voie d'extinction, le plus vite, à notre humble avis, sera le mieux, tant leur attitude rétrograde et conservatrice a servi de repoussoir et de promotion au courant infiniment plus dynamique des modernes; ces autres, épousant sans retenue, les théories économiques les plus grossières de l'adaptation au marché, n'ont guère eu de difficulté à incarner le courant rénovateur et ont infléchi et continuent d'infléchir tous les jours un peu plus le fonctionnement de la machine universitaire dans le sens de la valorisation des disciplines dites de pointe. Le maître mot de ce courant est compétence; entendons par là (au mieux) compétence fine et réelle dans une ou plusieurs techniques de pointe, abusivement affublées d'un statut scientifique propre. Même si le terme parait excessif, nous ne voyons hélas que celui de supercherie qui convienne; en tentant de persuader les populations, non seulement celle des étudiants mais toutes les autres également, que ces disciplines aux noms variés forment des domaines scientifiques, on crée peu à peu les conditions psychologiques menant progressivement au rejet et au désintérêt de celles qui méritent réellement ce statut.

Les signes illustrant cet état de choses ne manquent pas; un des plus typiques nous semble devoir être relevé dans la nature d'un nombre croissant de thèses et de travaux de recherche, qui s'apparentent de plus en plus à des prestations habituellement réservées à des ingénieurs et qui, en dépit de leurs éventuels mérites, n'ont de composante recherche que le nom. Encore une fois, notre critique ne prétend pas contester l'intérêt ou l'utilité des disciplines en question, pas plus qu'elle ne vise à installer un ordre de mérite entre un courant noble et un autre, qui d'ailleurs, dans notre esprit, n'est pas de qualité inférieure; ce qui est en cause c'est la confusion des genres, et encore seulement parce qu'elle a pour conséquence, dans les circonstances actuelles, de négliger et dévaloriser les disciplines scientifiques fondamentales, qui doivent absolument former le corps de référence de tous les étudiants en sciences.

La responsabilité de cet état de choses se situe en premier lieu au niveau politique. En refusant de fournir aux Universités les moyens financiers et matériels nécéssaires à son adaptation, il était évident, surtout dans le cadre de l'autonomie tant vantée, que les recours aux moyens extérieurs de financement mèneraient fatalement à la direction que nous constatons aujourd'hui. En organisant cet éparpillement des entités universitaires, alors qu'aucun projet éducatif d'ensemble n'était proposé pour assurer l'unité au moins relative de l'ensemble de l'institution, il fallait s'attendre à ce que la seule cohérence qui demeure soit peu à peu imposée de l'extérieur. En laissant se dégrader les conditions de carrière des universitaires qui ne pouvaient ou ne désiraient pas s'intégrer au mouvement de séduction en direction des groupes industriels et économiques, on préparait la mentalité de représentants de commerce à laquelle ont dû se faire, avec plus ou moins de bonheur, nombre d'universitaires.

D'autres responsabilités moins décisives, mais dont le concert a tout de même été efficace, ont porté leur eau à ce moulin. En particulier l'élitisme républicain qui est bien souvent la marque du haut de la hiérarchie universitaire a ici révélé sa vraie nature qui n'est ni plus ni moins que l'élitisme tout court: assuré qu'il subsisterait toujours un filet de recrutement des élites, et qu'ainsi seraient préservées les disciplines fondamentales, au moins pour de rares populations, cette hiérarchie n'a pas fait un geste réellement vigoureux pour prévenir ces orientations plus que douteuses, alors que leur véritable nature ne pouvait lui passer inaperçue. Comme on l'a dit plus haut, les étudiants eux-mêmes n'ont guère témoigné de lucidité vis à vis de ces questions, et leur comportement somme toute très corporatiste les a fait glisser sur la pente fatale de la facilité. Ils feront l'amère découverte, au gré des mutations technologiques, de la faiblesse dramatique de leur formation au plan fondamental.

Agir autrement

Définir un projet éducatif, tel est à notre avis l'objectif essentiel qu'il faut promouvoir. Ce qui pourrait être une évidence dans d'autres circonstances prend désormais des allures ambitieuses: lorsque l'idée même d'un projet global est tombée dans l'indifférence que nous constatons, la première des nécéssités consiste à la revaloriser.

Dans le domaine scientifique, il faut redéfinir les contours des disciplines de base à la lumière de l'état actuel de nos connaissances et non pas s'inspirer de considérations purement économiques. Ce point de vue n'implique en rien de méconnaître les contraintes de cette nature mais de leur assigner leur véritable place: si notre époque est tant marquée par la technologie, la cause première en est le développement des sciences; rester au niveau de l'examen des conséquences nous condamnerait à une succession d'adaptations plus ou moins chaotiques, dès lors que nous refuserions l'entreprise même de la maîtrise de nos connaissances. En outre rien ne permet d'affirmer que le développement de la science doive suivre une voie unique; dans ces conditions si nous ne savons plus que nous inspirer d'indications de nature économique, elles mêmes déterminées par des groupes sociaux dont l'intérêt ne coïncide pas forcément avec ceux de la société toute entière, il est manifeste que l'orientation globale qui en résultera aboutira vraisemblablement à un rétrécissement du champ de nos recherches et en tous cas nécessairement à une spécialisation de l'investigation scientifique elle-même.

Cette manière de concevoir le travail et la formation scientifiques s'accompagne d'un mépris plus ou moins affiché de toute considération de nature philosophique qui va bien au delà de la défiance traditionnelle qu'ont souvent éprouvé les hommes de science vis à vis de certaines formes verbeuses de discours que seules des personnes de mauvaise foi peuvent assimiler à la

démarche philosophique elle-même. Il n'est peut-être pas inutile de rappeler que les esprits considérés comme les plus éminents ont presque toujours estimé que le processus de la connaissance devait être envisagé dans toutes ses dimensions notamment philosophique; pour ne citer qu'un exemple célèbre, on peut se référer à l'ouvrage d'Albert Einstein "La relativité" qui prend soin dans sa préface d'annoncer: "ce petit livre a pour but de faire connaître, d'une manière aussi exacte que possible, la théorie de la relativité à ceux qui s'intéressent à elle au point de vue général, scientifique et philosophique"; et nous n'aurions aucun mal à démontrer que cette préoccupation est constante chez les plus grands scientifiques. Certes l'apologie du technicisme n'est pas une nouveauté, mais jusqu'ici les théories de la neutralité de la connaissance se limitaient à déconnecter la sphère de la science et de la conscience de celle de la société; le couple science-conscience n'était pas récusé en tant que tel; or voilà qu'aujourd'hui la forme achevée de cette problématique entend promouvoir une dichotomie rigoureuse entre ces deux termes.

En fait cette floraison de "nouvelles connaissances" n'est qu'une illusion; elle ne fait que traduire la prise en compte comme jamais des potentialités extraordinaires de la science, potentialités qui préexistaient et qui ne se révèlent qu'à cause de la prise de conscience des milieux industriels que le gain dans la compétition économique qu'ils mènent passe par l'exploitation rationalisée des résultats scientifiques. Mais ceci ne signifie en aucune manière que le corpus fondamental de nos connaissances soit l'objet d'un bouleversement; et d'ailleurs aussi puissante que soit la volonté de ces milieux industriels, elle ne saurait avoir pour effet de modifier les lois de la nature. Et pourtant c'est en quelque sorte ce dont on voudrait nous convaincre. Il n'est que de voir cette multiplicité de prétendues nouvelles disciplines de toutes sortes aux noms plus ou moins ridicules et que nous nous dispenserons d'énumérer, pour s'inquiéter du manque total de mesure et de décence des universitaires qui s'en font les promoteurs; que mille côteries s'épanouissent, tel est le mot d'ordre qui exprime comme il se doit la ruée à laquelle nous assistons; si nous n'y prenons pas garde, des épisodes aussi grotesques que celui, présent dans toutes les mémoires, de biologistes apparaissant à la télévision à grands fracas publicitaires et sous les auspices bienveillants du ministre de service, pour annoncer une victoire décisive dans la lutte contre le SIDA, victoire qui s'est soldée par la mort des bénéficiaires du traitement miracle quelques jours après, deviendront monnaie courante.

Il est certain que le fait de considérer comme essentielles les implications disons productivistes de la science confère à cette dernière un statut différent de celui que déterminait la vision féodale qui a si longtemps prévalu; mais c'est dans la reconnaissance de son emprise sur le monde réel, de ses applications révélées ou potentielles que se situe cette nouveauté et certainement pas dans ses résultats fondamentaux qui demanderaient à être évacués ou négligés au profit de soi-disant découvertes d'une nature et d'une utilité bien supérieures. En suivant cette pente fatale nous ne ferions que plonger l'ensemble de nos étudiants dans la médiocrité, les confortant dans la conviction fallacieuse que les efforts d'acquisition des concepts fondamentaux, souvent pénibles il est vrai, relèvent d'une vision désormais dépassée. Il ne s'agit pas pour autant de poursuivre en se référant au "bon vieux temps": ce qu'il faut mettre en oeuvre c'est précisément les opportunités extraordinaires offertes par notre époque et sa technologie pour obtenir les meilleurs résultats dans la "technologie" qui nous intéresse, nous autres universitaires, celle de la transmission des connaissances. En quelque sorte nous aurions mieux à faire en déployant une énergie comparable à celle que déploient les industriels pour rationaliser leurs systèmes de production, dans notre propre sphère et sans lésiner sur les moyens considérables que nous offre les technologies modernes de la communication.

Ce n'est pas tant une restructuration de fond en comble des disciplines scientifiques qui est à l'ordre du jour, qu'un effort critique de réorganisation de la présentation du système de transmission de l'ensemble de nos connaissances. Si par certains aspects, le remodelage des disciplines scientifiques de base impose une mise à jour, il ne faut tout de même pas exagérer son ampleur: les corpus de ces disciplines sont largement constitués et il ne s'agit pas de les reconstruire, mais d'y intégrer les concepts à la fois nouveaux et réellement essentiels (et il y en a certainement moins qu'on ne pense). Par contre, la question de la transmission des connaissances ainsi remodelées implique un effort tout à fait considérable; principalement l'illustration des lois et phénomènes scientifiques notamment à travers leurs applications doit faire partie intégrante de la formation scientifique elle-même et à tous les niveaux de la scolarité, de sorte qu'elle puisse s'installer comme un réflexe intellectuel, dont malheureusement on constate si souvent l'absence aujourd'hui chez nos étudiants comme chez nos enseignants; par exemple, on ne voit pas pourquoi il ne faudrait pas se diriger vers des enseignements, fruits de la collaboration de tous les

enseignants et chercheurs, intégrés dans des logiciels diffusés massivement, et présentés avec toutes les ressources qu'offrent notamment les stations graphiques et sonores . Certes un travail et un investissement immenses devraient être consacrés à la réalisation de tels logiciels, intégrant les compétences de psychologues, d'épistémologues, d'informaticiens et de spécialistes de telle ou telle discipline. Mais il est parfaitement clair que le résultat serait d'un rendement exceptionnel, y compris pour l'enseignement des notions les plus délicates. Voilà bien un exemple d'orientation qui ne nous sera jamais suggéré par le monde économique, sauf bien entendu par les constructeurs d'ordinateurs. Il existe bien évidemment des tentatives isolées dans ce sens, notamment au niveau des IREM si injustement décriées, mais aucun projet global soutenu par une option politique claire n'est présentement mis en oeuvre. Or une telle entreprise ne peut être laissée à la bonne volonté de quelques groupes, du fait de ses très grandes dimensions, pas plus qu'à l'initiative des groupes industriels qui n'y verraient aucun profit direct.

Qui, sinon l'Etat pourrait soutenir de tels choix? Qui sinon l'Université pourrait les mettre en oeuvre ? En tous cas, notre responsabilité n'est-elle pas d'exiger que les prodiges de la technologie moderne finissent par contribuer à l'amélioration de la qualité et de l'efficacité de notre système éducatif, en affirmant clairement la nécessité des formations fondamentales, en refusant l'opposition entre enseignements de pointe et enseignements fondamentaux, et en abandonnant toute complaisance pour cette pseudo-dynamique qui prétend construire la modernité en entassant pêle-mêle dans nos établissements les disciplines du dernier cri.?

P. Isoardi J. Ph. Lehmann

GLISSEMENT D'UNE FENETRE

DANS UN CHAMP MEMOIRE CONTINU

PRINCIPES ET TECHNIQUES D'ASSEMBLAGE DES MATERIELS STANDARD

Patrick ISOARDI Université d'Avignon

Jean-Philippe LEHMANN Université d'Aix-Marseille II Luminy

GLISSEMENT D'UNE FENETRE

DANS UN CHAMP MEMOIRE CONTINU

PRINCIPES ET TECHNIQUES D'ASSEMBLAGE DES MATERIELS STANDARD

Patrick ISOARDI Université d'Avignon

Jean-Philippe LEHMANN Université d'Aix-Marseille II Luminy

C.R. Subject classification informatics: B.3

Résumé:
La structure segmentée des mémoires classiques n'est pas, "naturellement" adaptée à celle d'un champ mémoire continu accessible selon une fenêtre de dimensions quelconques en une position de bit arbitraire. On expose une méthodologie générale d'assemblage pour résoudre ce type de problème en présentant plusieurs techniques d'assemblage des matériels existants et en montrant leurs limites.

TABLE DES MATIERES

A . INTRODUCTION

I. FONCTIONNALITé DE L'ADRESSAGE PAR BIT

I.1. Applications

I.2. Quelques solutions

II. DIRECTION DE LA PRESENTE ETUDE

B. PRINCIPES ET TECHNIQÙES D'ASSEMBLAGE DES BOITIERS STANDARD

I. PRINCIPES GENERAUX D'ASSEMBLAGE

I.1. Nombre minimal de boitiers

I.2. Adressage et modifications de l'adresse

I.3. Evaluation et compromis

I.4. Réorganisation des données

II. FENETRE LINEAIRE

II.1. Assemblage de h boitiers pour construire une mémoire adressable en tout point par une fenêtre linéaire de taille h

II.1.1. Exposé de la méthode
II.1.2. Mode de réalisation
II.1.2.1. L'adressage des boitiers mémoire
II.1.2.2. La sélection des boitiers mémoire
II.1.2.3. La réorganisation des données
II.1.2.4. Lecture- Ecriture

II.2. Mémoire adressable en tout point par une fenêtre linéaire de taille h et n'utilisant qu'un seul dispositif d'incrémentation

II.2.1. L'adressage
II.2.2. L'incrément
II.2.3. La sélection des boitiers
II.2.4. Mode de réalisation

III. FENETRE RECTANGULAIRE

III.1. Assemblage de h.h' boitiers pour construire une mémoire adressable en tout point par une fenêtre rectangulaire h.h'

III.1.1. Exposé de la méthode
III.1.2. Mode de réalisation
III.1.2.1. L'adressage des boitiers mémoire
III.1.2.2. La sélection des boitiers mémoire
III.1.2.3. La réorganisation des données
III.1.2.4. Lecture - Ecriture

III.2. Principes généraux d'assemblage de plusieurs boitiers pour construire une mémoire adressable en tout point par une fenêtre rectangulaire

III.3. Assemblage de 4 h.h' boitiers pour construire une mémoire adressable en tout point par une fenêtre rectangulaire h.h'

C. CONCLUSION

D . BIBLIOGRAPHIE

A . INTRODUCTION

Une caractéristique des structures actuelles de mémoires est leur **cloisonnement** : elles sont constituées d'un ensemble d'emplacements physiques de dimension fixée, adressables individuellement et tous disjoints les uns des autres.

L'accès à des positions qui chevauchent deux emplacements consécutifs est structurellement hors d'atteinte ; ainsi, dans une architecture classique, chaque emplacement est un groupement de h cellules successives, M_J, et l'espace mémoire peut être ainsi représenté : (Figure 1)

$$\boxed{M_0 M_1 \ldots\ldots\ldots M'_{h-1}}\,\boxed{M_h M_{h+1} \ldots M_{2h-1}} \ldots\ldots \ldots\ldots \boxed{M_{N-h}\, M_{N-h+1} \ldots\ldots M_{N-1}}$$

Figure 1

Il est impossible d'accéder de façon simultanée (en un seul accès mémoire) à une information dont une partie proviendrait des dernières cellules mémoires d'un emplacement, et l'autre partie des premières cellules de l'emplacement suivant, par exemple ainsi : (Figure 2)

$$\boxed{M_0 M_1}\,\boxed{M_2 \ldots\ldots M_{h-1}}\,\boxed{M_h\, M_{h+1}} \ldots M_{2h-1} \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots$$

Figure 2

Dans diverses situations il peut se faire que l'utilisateur ne soit pas conscient de cette segmentation, mais au niveau interne, en dernier ressort, cette contrainte demeure. Il est impossible de placer **instantanément** une fenêtre selon une position de bit quelconque.

Pour introduire le problème, nous présenterons des applications de la fonctionnalité de l'adressage par bit et quelques solutions classiquement mises en opeuvre pour résoudre le problème; l'occasion nous sera donnée de montrer que la suppression du cloisonnement doit être associée à la possibilité structurelle d'opérer le "glissement" d'une fenêtre de dimension donnée dans l'espace mémoire.

Nous exposerons alors une méthodologie générale d'assemblage des boitiers mémoire standard qui permet de s'affranchir de ce cloisonnement, et nous décrirons entièrement plusieurs solutions basées sur ces principes.

Certaines d'entre elles, inédites, se révèleront particulièrement intéressantes dans le cadre imparti à la présente étude, celui de l'utilisation du matériel existant.

I. FONCTIONNALITE DE L'ADRESSAGE PAR BIT

I.1. Applications

- La plupart des applications nécessitant un calcul faisant intervenir des opérations répétitives fréquentes sur des matrices, sont de bonnes candidates à l'utilisation de mémoires bénéficiant d'un mode d'adressage à fenêtre glissante : pour atteindre tous les éléments d'une matrice de dimensions fixées à partir de n'importe quel point de la mémoire, il suffit alors d'une instruction de base (un cycle).

Il est certain que, dans le domaine graphique, comme dans celui du traitement d'images, de telles applications sont constamment présentes.

- Plusieurs exemples en sont donnés dans **[Gupta 81]** , liés pour l'essentiel, à l'utilisation interactive des écrans graphiques ; ce type d'utilisation impose de pouvoir modifier rapidement l'écran, et par voie de conséquence, rapidement également, la mémoire qui lui est associée.

. Le déroulement d'une fenêtre est une opération très courante dans les tâches d'édition de l'écran, et elle nécessite une mise à jour de tous les pixels situés dans cette fenêtre ;

. L'opération de **bitbit** **[Ingalls 81]** , qui permet de déplacer une partie d'image rectangulaire de taille quelconque, d'une position de l'écran à une autre est une fonction classique ; son utilité est bien connue dans les manipulations de caractères, d'icônes et de curseurs **[Guttag 86]** ; en outre, elle intervient dans la définition de nombreux opérateurs graphiques plus évolués.

- De façon générale, toutes les applications graphiques nécessitent un vaste espace mémoire, qui doit être continûment adressable par la position de bit ou de pixel, et pour lequel, les architectures segmentées sont tout à fait inadéquates et il semble que les avis soient unanimes pour considérer qu'une des clés pour obtenir les meilleures performances graphiques, réside dans le traitement parallèle de plusieurs pixels, y compris les opérations de lecture et d'écriture **[Guttag 86]** .

- Une autre catégorie d'applications concerne la reconnaissance de formes des objets possédant une image relativement standard. C'est le cas des caractères dactylographiés, pour une police donnée **[Gaafar 85]** : les lecteurs optiques n'ont pas rencontré la réussite espérée il y a dix ans, faute de performances acceptables ou d'un prix raisonnable ; un des problèmes rencontrés qui est à l'origine de cette situation est lié au fait qu'un

très grand nombre d'opérations pour couvrir toutes les versions possibles est nécessaire ; la reconnaissance commence après la digitalisation de l'image d'une ligne ou d'une page : le résultat est une mosaïque de cellules uniformes de couleur noire ou blanche ; l'image est donc réduite à une grande matrice binaire et les différents caractères qui constituent la ligne ou la page, sont chacun, sous forme d'une sous-matrice .

Si on exclut les rotations, les projections, les dilations et si on se limite à une police, on a alors un problème de comparaison par masque : il y a un prototype pour chaque caractère qu'il faut déplacer jusqu'à ce qu'il coïncide avec une sous-matrice de l'image ; on voit clairement que, même pour ce cas simple, mais réel, on a affaire à un très grand nombre d'opérations, déplacement/comparaison, pour couvrir le champ de l'image par un prototype ; si on introduit un registre de comparaison rapide de deux matrices ayant la même taille, ce qui est facile à imaginer et à réaliser, le problème se ramène à celui du glissement rapide d'une sous-matrice à lire, correspondant à une fenêtre, qu'on doit comparer au prototype ; il est possible de sophistiquer le système, pour couvrir plusieurs polices, tolérer certains bruits etc... L'intérêt de la suppression du cloisonnement est particulièrement évident dans ce type de situation : dans les architectures classiques, le champ est découpé en régions ; il est impossible de cadrer instantanément la fenêtre sur une information portée par plusieurs régions ; dans la figure 3, la reconnaissance du **P** nécessite quatre accès à la mémoire, plus une recomposition ultérieure des informations ainsi acquises, avant reconstitution de la lettre ; au contraire le déplacement continu (figure 4), aurait permis une reconnaissance globale et immédiate.

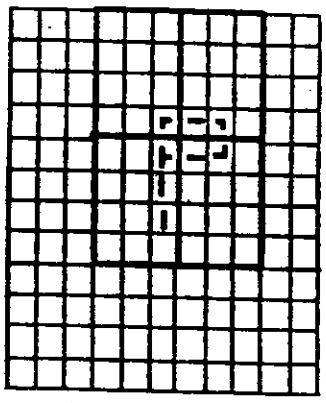


Figure 3

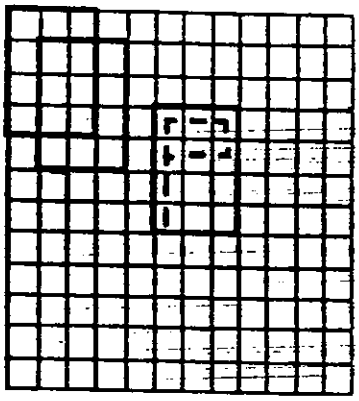


Figure 4

- Le traitement des images naturelles, qui, après échantillonnage d'images analogiques, sont digitalisées, fait également appel, dans d'autres circonstances, à des techniques où l'adressage par fenêtre glissante peut se révéler utile : par exemple, on est amené à diviser l'image en zones qui se distinguent les unes des autres par les variations brusques du niveau de gris à leurs frontières **[Rosenfeld 76]** ; pour détecter ces variations, les opérateurs utilisés calculent en fait le gradient de l'intensité ; il est clair alors, que la nature même de tels problèmes impose à la fenêtre d'échantillonnage de pouvoir glisser dans le champ de l'image en occupant des positions successives qui se chevauchent.

- On sait enfin, que la recherche en mémoire de pixels appartenant au voisinage d'un point constitue un des goulots d'étranglement en traitement d'image **[Castan 85]** ; même si le principe consiste à découper l'image en sous images ou régions soumises à des traitements parallèles puissants, comme pour la mémoire-image du MPP (Massive Parallel Processor) **[Duff 81]** , **[Danielson 81]** , la difficulté apparaît lorsque le travail s'effectue sur des voisinages ne se trouvant pas contenus dans une seule région ; ce problème des voisins immédiats des régions nécessite des modifications complexes d'adresse pour permettre les débordements inévitables.

I.2. Quelques solutions

Il n'est pas douteux que la localisation d'une fenêtre dans l'espace mémoire s'accompagnera d'un logiciel très lourd si un support matériel convenable n'est pas fourni ; en effet on se trouve confronté à deux contraintes antagoniques, l'une imposée par l'adressage au niveau du bit, l'autre due à la structure segmentée des mémoires.

Diverses techniques sont mises en oeuvre, qui combinent les aspects logiciel et matériel pour aboutir à des solutions partielles et largement imparfaites ; par exemple, les processeurs de la famille NS 32032 **[NS 83]** permettent une souplesse relative au niveau de l'alignement des données en mémoire, pourvu que cet accès se fasse selon le mot ou même le double mot ; en fait le problème est résolu au niveau de la micro-programmation, ce qui a pour effet de déclencher plusieurs accès mémoire, et donc de ralentir la vitesse d'exécution ; en outre il n'est pas possible d'accéder à une information par la position de bit ; dans d'autres cas **[Morrison 82]** , on associe aux mémoires des dispositifs annexes d'analyse et de calcul sur l'adresse , qui doivent être traversés, prélablement à l'accès mémoire proprement dit ; là encore la vitesse est notablement diminuée, quoique dans une moindre mesure que dans le cas précédent ; mais surtout le matériel nécessaire à la mise en oeuvre est trop lourd, et de ce fait empêche toute possibilité d'intégration.

Il est intéressant d'examiner plus précisément un exemple de solution proposée pour résoudre, dans le cadre classique, le problème posé, c'est-à-dire en imposant l'utilisation des boitiers mémoire existants ; une bonne illustration peut être trouvée dans **[Gupta 81]** où l'on propose une méthode d'assemblage appelée "affichage 8 par 8" (display 8 by 8") qui vise expressément à réaliser de manière performante l'opération de bitbit : partant de la considération qu'une des clés du problème réside dans le parallélisme de l'accès à la mémoire, on choisit, dans ce travail, pour définir une fenêtre 8 x 8, d'utiliser un ensemble de 64 boitiers de RAM de 16 Kbit chacun, disposés selon un carré 8 x 8, de sorte que l'ensemble des boitiers est associé de façon bijective à celui des points de la fenêtre d'écran ; chaque boitier fournit ainsi un des bits de la fenêtre, si on assimile l'écran à un carré de 1024 x 1024, alors le point de coordonnées 8x+i, 8y+j, (i et j<8) sera dans le boitier de coordonnées (i,j) à l'adresse colonne x et ligne y ; pour une fenêtre 8x 8 repérée par son coin supérieur gauche, on observe que, si sa position correspond à des coordonnées 8x, 8y, il suffit de délivrer à chacun des boitiers la même adresse x,y ; par contre, si ces coordonnées sont du type 8x+i, 8y+j, il n'est plus possible de procéder ainsi, puisque l'ensemble des points de la fenêtre est associé à des coordonnées qui peuvent être en abcisse, 8x+i ou 8(x+1)+i' et en ordonnée 8y+j ou 8(y+1)+j'. La figure 5 illustre la situation rencontrée.

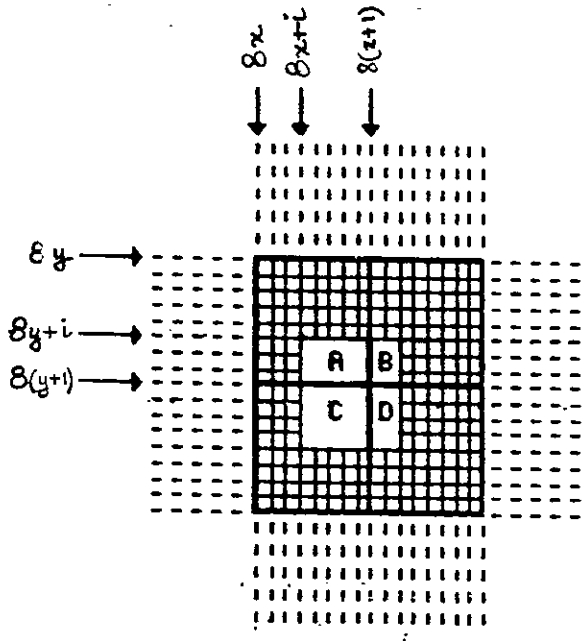


Figure 5

La figure 6 ci-après , montre le réseau des 64 mémoires utilisées, divisé en 4 zones, chacune devant recevoir les adresses indiquées ; la solution consiste alors à envoyer l'adresse ligne y, à tous les boitiers en activant les 8-j rangées du bas seulement, puis on applique l'adresse y+1 en activant les j rangées du haut, enfin, dans un troisième cycle, on présente simultanément les adresses x+1 et x respectivement sur les i premières colonnes d'une part, et sur les 8-i suivantes d'autre part.

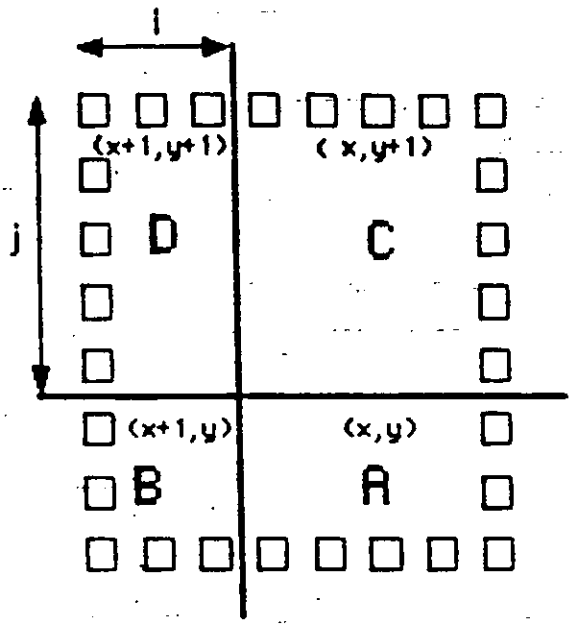


Figure 6

Signalons également que dans cette solution, comme dans celles que nous exposerons plus loin, se pose un problème de réarrangement des données qu'il est possible de résoudre, en tous les cas, dans des conditions d'efficacité tout à fait convenables.

Le procédé qu'on vient d'exposer est évidemment préférable à toute méthode qui eût été purement logicielle ; personne ne semble contester que, sans un support matériel approprié, la manipulation des fenêtres constitue une charge de calcul insupportable **[Guttag 86]** ; toutefois, il faut observer qu'ici encore, si le degré de parallélisme s'est accru, il n'est pas pour autant maximal, puisque le nombre des cycles mémoire a augmenté : 3 sont nécessaires au lieu de 2 habituels pour ce type de mémoire ; de plus comme nous l'indiquions plus haut, tout un matériel supplémentaire est requis pour, analyser les adresses, les transformer éventuellement et décider des lignes de bus sur lesquelles il faudra les appliquer ; toutes ces opérations contribuent à minorer les performances du système.

II. DIRECTION DE LA PRESENTE ETUDE

L'examen des méthodes précédentes témoigne de leur diversité, ainsi que, superficiellement du moins, de leur manque d'unité.

Dans ce qui suit , nouis proposons un cadre méthodologique général, pour la conception et la réalisation de mémoires-champs accessibles selon des fenêtres de dimensions quelconques, et qui permet de mettre en évidence l'unité des solutions.

S'il avait pu sembler, a priori, que toutes sortes de voies étaient envisageables, nous montrons au contraire, que les principes généraux d'assemblage exposés, prenant en compte le caractère segmenté des mémoires utilisées, constituent le passage obligé de toutes les solutions possibles, et donc, que d'éventuels perfectionnements ne peuvent être atteints et recherchés, que dans le cadre ainsi défini.

C'est ce que nous faisons en présentant plusieurs techniques d'assemblage inédites et efficaces dans un tel cadre.

Par ailleurs, il devient vraisemblable que seule une remise en cause de la structure classique segmentée des mémoires au niveau de leur intégration, peut permettre d'ouvrir de nouvelles perspectives, si l'on vise à obtenir de très hautes performances.

B. PRINCIPES ET TECHNIQUES D'ASSEMBLAGE DES BOITIERS STANDARD

I. PRINCIPES GENERAUX D'ASSEMBLAGE

On dispose de R boitiers mémoires notés, B^O, B^1, ..., B^{R-1}. Un boitier mémoire B^i est constitué d'un ensemble ordonné de N emplacements notés M^i_0 , M^i_1,..., M^i_{N-1} ; Il est sélectionné par une commande de sélection CS^i et éventuellement une commande de lecture-écriture $(R/W)^i$. De plus, il comporte en entrée un bus adresses suffisant pour recevoir une valeur comprise entre O et N-1 correspondant à un emplacement du boitier ; chaque emplacement est susceptible de contenir une information qui transite par l'intermédiaire d'un canal données d^i.

On veut définir dans un espace mémoire comprenant RN emplacements un adressage permettant de localiser en n'importe quelle position de la mémoire une fenêtre de h éléments distincts. Le procédé doit fonctionner en lecture comme en écriture.
Une particularité de ce procédé est de pouvoir faire glisser la fenêtre dans tout l'espace ; la notion de glissement n'existe que par la condition $h \geq 2$.
On organise l'espace mémoire en le structurant à partir de la donnée des R boitiers mémoire.

I-1 Nombre minimal de boitiers

Chaque boitier B^i délivre ou reçoit par son bus donnée d^i l'information correspondant à un emplacement **unique** dont le numéro est portée par le bus adresse. La fenêtre choisie comprenant h informations distinctes, le nombre minimal de boitiers à utiliser est de h $R \geq h$

I.2 Adressage et modifications de l'adresse

On définit alors une mémoire virtuelle par la succession des emplacements suivants

$$M^o_o\, M^1_o \ldots M_o^{R-1}\, M^o_1 \ldots M_1^{R-1}\, M^o_2 \ldots M_2^{R-1} M^o_2 \ldots M_2^{R-1} \ldots M^o_{N-1}\, M^1_{N-1} \ldots M_{N-1}^{R-1}$$

C'est dans cette mémoire qu'on va réaliser le mouvement d'une fenêtre linéaire de taille h dont les informations seront portées par un bus données D_{h-1}, D_{h-2},... D_1, D_o.

Toute adresse délivrée à la mémoire virtuelle peut être écrite sous la forme $qR + r$ avec $q \in [o,N-1]$ et $r \in [o,R-1]$. Dans le tableau T I-1 qui suit on indique pour les adresses communiquées au système quels sont les éléments entrant dans la fenêtre ; On ne se préoccupe pas des conditions "au bord".

Adresse mémoire	fenêtre				
qR+r	D_{h-1}	D_{h-2}	.....	D_1	D_o
qR+o	$M^o{}_q$	$M^1{}_q$	.....	$M_q{}^{h-2}$	$M_q{}^{h-1}$
qR+1	$M^1{}_q$	$M^2{}_q$	.....	$M_q{}^{h-1}$	$M_q{}^h$
qR+2	$M^2{}_q$	$M^3{}_q$	.....	$M_q{}^h$	$M_q{}^{h+1}$
.....	.....	.....	.....	.....	.....
.....	.....	.....	.....	.....	.....
(q+1)R-h	$M_q{}^{R-h}$	$M_q{}^{R-h+1}$	.....	$M_q{}^{R-2}$	$M_q{}^{R-1}$
(q+1)R-h+1	$M_q{}^{R-h+1}$	$M_q{}^{R-h+2}$	.....	$M_q{}^{R-1}$	$M^o{}_{q+1}$
(q+1)R-h+2	$M_q{}^{R-h+2}$	$M_q{}^{R-h+3}$	.....	$M^o{}_{q+1}$	$M^1{}_{q+1}$
.....	.....	.....	.....	.....	.....
.....	.....	.....	.....	.....	.....
(q+1)R-1	$M_q{}^{R-1}$	$M^o{}_{q+1}$	.....	M^{h-3}_{q+1}	M^{h-2}_{q+1}

Tableau T I-1

Ce tableau se généralise ainsi :

Lorsque $r \in [o, R-h]$, la valeur q représente l'adresse à communiquer aux boitiers $B^r, B^{r+1}, ..., B^{r+h-1}$

Lorsque $r \in [R-h+1, R-1]$, la valeur q doit être communiquée aux bus adresses des boitiers $B^r, B^{r+1} ..., B^{R-1}$ ainsi que la valeur q+1 pour les boitiers $B^o, ... B^{R-r-1}$

Ce tableau laisse apparaître les principes fondamentaux de l'assemblage.

- Sélection de h boitiers consécutifs parmi les R.
- Nécessité de prévoir une incrémentation éventuelle de l'adresse à communiquer aux h-1 premiers boitiers $B^o, B^1, .. B^{h-2}$.
- Sélection des dispositifs d'incrémentation en fonction de la valeur r dans l'adresse qR + r
- Réarrangement des données dans la fenêtre.

I-3 Evaluation et compromis

Il convient à présent d'évaluer h et R ainsi que le nombre des dispositifs annexes pour la modification de l'adresse et la réorganisation des données. Le choix de ces valeurs va fortement influer sur la **rapidité** et **l'encombrement** du dispositif proposé.

Dans un premier temps, on observera que la modification de l'adresse par incrément apporte un retard dans la sélection des boitiers mémoire concernés. Ce retard se présentera pour h-1 adresses sur R ; Plus précisément chaque fois que $r \geq R - h + 1$ dans l' adresse $qR + r \quad \forall q \in [O,N-1] \quad \forall r \in [O, R-1]$.
La fréquence du retard dans la sélection des boitiers étant de (h-1)/R , il est alors évident que pour un h donné, **plus le nombre de boitiers R est grand, moins fréquents sont les retards.** Dans ce cas. on favorise la rapidité du système au détriment de l'encombrement. Par contre, si on désire un **encombrement minimal, il** convient de baser l'assemblage sur h boitiers cf :(I-1). A chaque sélection ou presque, le retard est alors imposé ; sa fréquence est exactement de (h-1)/h. L'assemblage de ces h boitiers mémoire pour constituer une mémoire adressable en tout point par une fenêtre linéaire de h sera entièrement décrit plus loin (II-1).

Dans un deuxième temps, il convient de préciser et éventuellement de réduire le nombre des dispositifs annexes pour la modification de l'adresse et plus particulièrement celui des dispositifs d'incrémentation. Selon le tableau T I-1, les h-1 premiers boitiers B^0, B^1, ..., B^{h-2} sont susceptibles de recevoir une adresse incrémentées, h-1 systèmes d'incrémentation sont donc nécessaires.
Ce nombre ne pourra pas être réduit lorsqu'on assemble h boitiers mémoire. Toutefois, la solution que nous proposons au chapitre II-2 permet de n'utiliser **qu'un seul et unique système d'incrémentation** à condition que $R \geq 2(h-1)$; si de plus R est une puissance de deux, la sélection de la commande d'incrément en sera extrêmement simplifiée. Le cas où R = 2 h et h est une puissance de 2, semble être un compromis intéressant ;
2 h boitiers et 1 seul dispositif d' incrémentation sont utilisés. De plus , ici ,
(h-1)/R = (h-1)/2h <1/2 ce qui signifie que **moins d'une adresse sur deux impose un retard dans la sélection des boitiers.**

I-4 Réorganisation des données

Il convient de mettre en communication le canal d^i sortant du boitiers B^i par lequel transitent les données avec les canaux D_{h-1}, D_{h-2} , D_1, D_0 du bus données, ceci $\forall i \in [O, R-1]$.
Comme pour l'adressage, ces connexions sont fonctions du reste r de la division de l'adresse système par R. Il suffit de remplacer dans le tableau T I-1 M_q^i ou M^i_{q+1} par d^i $\forall i \in [O, R-1]$ pour écrire immédiatement les équations de D_j en fonction de d^i et de r $\forall j \in [O,h-1]$, $\forall i \in [O, R-1]$ et $\forall r \in [O, R-1]$, et de réaliser un cablage en conséquence.

Toutefois, on remarquera que si R est un multiple de h il est possible de relier d^i à D_{h-1-v} avec $v = i$ modulo h $\forall$ $i \in [O,R-1]$, comme dans une architecture classique.
On constate alors immédiatement que les dérangements opérés sur le bus données D_{h-1},..., D_0 sont les h permutations circulaires (dont l'identité), chacune associée à une valeur du reste de la division de l'adresse système par h. Dans le cablage il sera donc fait appel à des permutateurs Perm(h) dont le temps de transfert est au plus celui d'un buffer 3 états ; ce qui offre des conditions d'efficacité tout à fait convenables.
On notera qu'il est également possible de ne pas disposer de permutateur sur le bus données. Cette solution peut être envisagée soit parce que la réorganisation des données est effectuée par ailleurs, notamment par le processeur, soit parce qu'elle n'est pas nécessaire comme par exemple pour du traitement numérique où l'ordre des nombres importe peu.

L'ensemble de ces considérations permet de conclure en outre que, quel que soit le nombre des boitiers de l'assemblage, les meilleures solutions seront celles qui considèrerons N ,h et R comme des puissances de deux.
Les principes généraux d'assemblage de boitiers mémoire pour construire une mémoire adressable en tout point par une fenêtre rectangulaire ne seront que des combinaisons des principes d'assemblage que nous venons de présenter. L'occasion nous sera donnée de le démontrer lorsque nous traiterons de la fenêtre rectangulaire au chapitre III.

II. FENETRE LINEAIRE

II-1 Assemblage de h boitiers mémoire pour contruire une mémoire adressable en tout point par une fenêtre linéaire de taille h

II-1.1. Exposé de la méthode

Pour définir une fenêtre linéaire de h éléments, on choisit d'utiliser un ensemble de h boitiers mémoire de N éléments chacun, de sorte que l'ensemble des boitiers est associé de façon bijective à celui des éléments de la fenêtre ; chaque boitier fournit ainsi un des éléments de la fenêtre.

L'espace mémoire est de h.N éléments et un élément d'adresse $qh+r$ avec $r \in [o,h-1]$ et $q \in [o,N-1]$ sera dans le boitier numéro r à l'adresse q.

Pour une fenêtre de taille h, on observe que si sa position correspond à des adresses qh, il suffit de délivrer à chacun des boitiers la même adresse q.

Par contre si l'adresse est du type $qh+r$ avec $r \neq 0$, il n'est plus possible de procéder ainsi puisque l'ensemble des éléments de la fenêtre est associé à des adresses qui seront $qh+\alpha$ $\forall\alpha \in [r,h-1]$ et $(q+1)h+\beta$ $\forall\beta \in [0,r-1]$; la figure suivante illustre la situation rencontrée dans le cas où h = 8 et r = 3.

ADRESSES	8q	8q+1	8q+2	8q+3	8q+4	8q+5	8q+6	8q+7	8(q+1)	8(q+1)+1	8(q+1)+2	8(q+1)+3	8(q+1)+4	
numéro du boitier	0	1	2	3	4	5	6	7	0	1	2	3	4	5
adresse du boitier				q	q	q	q	q	q+1	q+1	q+1			

A B fenêtre

Dans ces conditions, pour une adresse donnée $qh+r$, il apparaît que les éléments d'adresse $qh+\alpha$ avec $\alpha \in [r,h-1]$ qui correspondent à la région A seront situés dans les boitiers de numéro α et tous à l'adresse q.

De même, les éléments correspondant à la région B seront associés aux boitiers de numéro β avec $\beta \in [O,r-1]$ qui recevront chacun l'adresse (q+1).

La solution directement inspirée du tableau T I-1 dans le cas où R = h, consiste alors à envoyer l'adresse q à tous les boitiers de numéro r, r+1, ... h-1 et l'adresse (q+1) à tous les boitiers de numéro O,1, ... r-1.

Le procédé qu'on vient d'exposer est évidemment préférable à toute méthode qui eut été purement logicielle ; Personne ne semble contester que, sans un support matériel approprié, la manipulation des fenêtres constitue une charge de calcul insupportable **[Guttag 86]** .

Toutefois, il faut observer que si le degré de parallélisme s'est accru, il n'est pas pour autant maximal puisque (h-1) fois sur h, il faut incrémenter l'adresse et la communiquer à certains boitiers. De plus, un matériel supplémentaire est requis pour analyser les adresses et notamment pour délivrer le reste de la division de l'adresse par le nombre de boitiers.
Toutes ces opérations contribuent à minorer les performances du système.

Signalons également que dans cette solution, se pose encore le problème du réarrangement des données qu'il est possible de résoudre avec les dispositifs que nous avons présentés cf :(I-4) et qui offrent des conditions d'efficacité tout à fait convenables.

II. 1-2 Mode de réalisation

Une matérialisation du procédé précédent va comprendre nécessairement h boitiers de mémoires tous identiques, nommés, B^o, B^1, ... B^{h-1} ; chacun d'eux B^i possède $N = 2^n$ emplacements notés M^i_o, M^i_1, ... M^i_{N-1}.De plus h est une puissance de 2 ; $h = 2^t$.
Un boitier mémoire B^i est sélectionné par sa commande de sélection CS^i et éventuellement une commande de lecture-écriture $(R/w)^i$. Il comporte également n canaux binaires notés A^i_o, A^i_1,... A^i_{n-1} qui communiquent une adresse allant de 0 à N-1 correspondant à un emplacement du boitier. Chaque emplacement est susceptible de contenir un élément d'information qui transite par l'intermédiaire d'un canal d^i.

Pour atteindre cet espace mémoire de h.N éléments d'information, on dispose d'un bus adresse système de n+t canaux notés A_o, A_1, ... A_{t-1}, A_t... A_{n+t-1}.

De plus , un bus données de h canaux D_{h-1}, D_{h-2}, ... D_o permet de véhiculer l'ensemble des éléments de la fenêtre.

Dans l'exposé précédent, on a dégagé le procédé de structuration d'une mémoire adressable en tout point par une fenêtre linéaire. Il convient à présent d'indiquer les équations définissant les liens entre les différents éléments qui la constituent.

Pour chaque adresse qui lui est communiquée, la mémoire doit délivrer ou éventuellement recevoir l'information relative aux emplacements spécifiés dans le tableau T II-1 qui n'est qu'une extension du tableau T I-1 dans le cas particulier où R = h.

Adresse	D_{h-1}	D_{h-2}		D_1	D_o
o	M_o^o	M_o^1	....	M_o^{h-2}	M_o^{h-1}
1	M_o^1	M_o^2	....	M_o^{h-1}	M_1^o
....	....	....	....	....	....
h-1	M_o^{h-1}	M_1^o	....	M_1^{h-3}	M_1^{h-2}
h	M_1^o	M_1^1	....	M_1^{h-2}	M_1^{h-1}
....	....	....	....	....	....
(N-1)h	M^o_{N-1}	M^1_{N-1}	....	M^{h-2}_{N-1}	M^{h-1}_{N-1}
(N-1)h+1	M^1_{N-1}	M^2_{N-2}	....	M^{h-1}_{N-1}	M_o^{+o}
....	....	....	....	....	....
Nh-1	M^{h-1}_{N-1}	M_o^{+o}	....	M_o^{+h-3}	M_o^{+h-2}

Tableau T.II-I

Ce tableau se généralise ainsi :

- Pour une adresse de la forme qh $q \in [O,N-1]$ l'information circulant sur le bus données doit être celle relative à $M_q^o\, M_q^1 \ldots M_q^{h-1}$.

- Pour une adresse de la forme qh +r , $q \in [0,N-2]$ et $r \in [1, h-1]$ l'information circulant sur le bus données $D_{h-1} D_{h-2} \ldots D_1 D_o$ doit être celle relative à $M_q^r\, M_q^{r+1} \ldots M_q^{h-1}\, M^o_{q+1}\, M^1_{q+1}\, M^2_{q+1} \ldots M^{r-1}_{q+1}$

- Pour une adresse de la forme (N-1)h+r $r \in [1,h-1]$, cette information doit être relative à

$M^r_{N-1}\ M^{r+1}_{N-1} \dots M^{h-1}_{N-1}\ M_o^{+o}\ M_o^{+1} \dots M_o^{+r-1}$

Les écritures M_o^{+i} désignant les emplacements correspondants aux M_o^i qui se trouvent dans la mémoire qui suivra celle qu'on est entrain de structurer. De façon générale, on utilisera le signe + et le signe - pour référencer respectivement la mémoire suivante et la mémoire précédente.

II-1-2-1 L'adressage des boitiers mémoires

Le bus adresses système délivre une adresse qh+r $q \in [O,N-1]$ et $r \in [O,h-1]$ q est portée par la partie haute $A_t \dots A_{n+t-1}$ et r est délivré par les canaux $A_o, \dots, A_{t-1}$ de ce même bus adresses.

$\forall q \in [O,N-1]$ pour une adresse comprise entre qh et (q+1)h-1, l'adresse à fournir à chacun des boitiers B^i est donnée dans le tableau T II-2 ci-dessous

Adresse	B^o	B^1	...	B^{h-2}	B^{h-1}
qh	q	q	...	q	q
qh+1	q+1	q	...	q	q
qh+2	q+1	q	...	q	q
...	...	...	...	...	...
...	...	...	...	...	...
(q+1)h-1	q+1	q+1	...	q+1	q

Tableau T II-2

Il apparaît que tous les boitiers sauf le dernier B^{h-1} sont susceptibles de recevoir l'adresse q ou l'adresse q+1. Il convient donc de connecter les canaux $A_t\ A_{t+1} \dots A_{n+t-1}$ porteur de q respectivement aux canaux $A_o^i\ A_1^i \dots A^i_{n-1}$ des boitiers B^i $\forall i \in [o,h-1]$ et de disposer sur chaque connection. $A_o^i = A_t$, $A_1^i = A_{t+1}, \dots, A^i_{n-1} = A_{n+t-1}$ un incrémenteur INC^i ceci $\forall\ i \in [o,h-2]$, capable de délivrer la valeur (q+1).

La commande d'incrément I^i de chaque incrémenteur INC^i est fonction de la valeur r portée par la partie basse $A_oA_1 \dots A_{t-1}$ du bus adresses système. Le tableau précédent T II-2 indique les équations de I^i qui se généralisent ainsi :

I^i est actif si $r \in [i+1,h-1]$ $\forall\ i \in [o,h-2]$ et dont une matérialisation est présentée dans le dispositif de sélection des incréments (figure II-1).

II-1.2.2. La sélection des boîtiers mémoires et l'effet de bord

L'examen du tableau T II-1 montre que pour toute adresse allant de 0 à (N-1)h, tous les boitiers B^i doivent être sélectionnés. A partir de l'adresse (N-1)h+1 jusqu'à Nh-1 , à cause du chevauchement entre la mémoire et sa suivante, les commandes de sélections à activer sont celles mentionnées dans le tableau T II-3 . De plus pour toute adresse (N-1)h+i, i $\in$ [1, h-1] les incrémenteurs INC^0, INC^1, INC^{i-1}, indiquent un débordement par l'intermédiaire de leurs canaux respectifs CY^0, CY^1, ... CY^{i-1} et délivrent l'adresse 0 qui est la suivante de N-1 modulo h. Ces débordements sont également mentionnés dans le tableau T II-3.

Adresse	Sélection des boitiers et débordement des incrémenteur						Sélection des boitiers de de la mémoire suivante			
(N-1)h	CS^0	CS^1	CS^2	...	CS^{h-2}	CS^{h-1}	.....			
(N-1)h+1	**CY^0**	CS^1	CS^2	...	CS^{h-2}	CS^{h-1}	CS^{+0}			
(N-1)h+2	**CY^0**	**CY^1**	CS^2	...	CS^{h-2}	CS^{h-1}	CS^{+0}	CS^{+1}		
...	...	...	...	...	...	...	...	...	...	...
Nh-1	**CY^0**	**CY^1**	**CY^2**	...	**CY^{h-2}**	CS^{h-1}	CS^{+0}	CS^{+1}	...	CS^{+h-2}

Tableau T II-3

Si la mémoire reçoit, comme dans les architectures classiques une commande d'activation CS et que l'on note CS^- la commande d'activation de la mémoire précédente, les équations des commandes de sélection des boitiers B^i se résument ainsi :

$$CS^i = CS.\overline{CY^i} + CS^- CY^i \qquad \forall i \in [0,h-2]$$

$$CS^{h-1} = CS$$

Le dispositif présenté dans la figure II-2 permettra d'assembler la mémoire que l'on est en train de structurer avec d'autres mémoires de même type pour accroître l'espace mémoire.

II.1-2-3 La réorganisation des données

Il convient de mettre en communication le canal d^i sortant du boitier B^i par lequel transitent les données avec les canaux D_{h-1} , D_{h-2}... D_o du bus données et ceci, $\forall$ i $\in$ [o,h-1] .

Comme pour l'adressage, ces connections sont fonctions du reste r de la division de l'adresse par h. Le tableau suivant montre ce qu'il en est :

Adresse	D_{h-1}	D_{h-2}	D_{h-3}		D_1	D_o
qh	d^o	d^1	d^2	...	d^{h-2}	d^{h-1}
qh+1	d^1	d^2	d^3	...	d^{h-1}	d^o
qh+2	d^2	d^3	d^4	...	d^o	d^1
...	...	...	...	...	...	...
(q+1)h-2	d^{h-2}	d^{h-1}	d^o	...	d^{h-4}	d^{h-3}
(q+1)h-1	d^{h-1}	d^o	d^1	...	d^{h-3}	d^{h-2}

Tableau T II-4

On constate immédiatement que chaque d^i doit être connecté à tous les canaux D_{h-1} , D_{h-2}, ... D_1, D_o du bus données.

De plus les arrangements à opérer sont les h permutations circulaires, chacune associée à une valeur de r [o, h-1] . Dans le cablage, il sera donc fait appel à des permutateurs Perm(h), présentés à la figure II-3 dans le cas particulier ou h = 4.

On notera qu'il est également possible comme cela été dit cf :(I-4) de ne pas disposer de permutateur, les d^i constituant le bus données de la carte mémoire.

II-1-2-4. Lecture - Ecriture

La solution est immédiate quand un groupe de h emplacements est sélecté, la carte mémoire reçoit éventuellement un ordre de type R/w . Tous les boitiers B^i étant sollicités, il convient de connecter R/w à chacun des $(R/w)^i$ $\forall$ i $\in$ [o, h-1] . De plus lorsque les données doivent être réorganisées et que le bus données est bidirectionnel, on le dédouble en plaçant sur chaque branche un permutateur ; R/w invalidant l'un quand l'autre est en fonction et réciproquement.

L'assemblage de h boitiers pour réaliser une mémoire adressable en tout point par une fenêtre linéaire de taille h est présenté à la figure II-4.

II.2 Mémoire adressable en tout point par une fenêtre linéaire de taille h et n'utilisant qu'un seul dispositif d'incrémentation

Pour ramener le nombre de dispositifs d'incrémentation à un, il convient, lorsque l'adresse système atteint ou dépasse la valeur $qR + R-h+1 \quad \forall q \in [o,N-1]$, d'incrémenter la valeur q et de communiquer le résultat (q+1) à **tous** les boitiers $B^o, B^1, \ldots B^{h-2}$. Seule l'activation appropriée des CS^i correspondants déterminera les boitiers effectivement sélectionnés.

Dans ce cas, aucun des boitiers $B^{R-h+1}, B^{R-h+2}, \ldots, B^{R-1}$ ne peut être B^o ou B^1 ou ... B^{h-2} car sinon selon la généralisation du tableau T I-1, l'emplacement d'adresse q serait sélectionné en même temps que l'emplacement d'adresse q+1 dans un même boitier ; ce qui est impossible par hypothèse.

Il faut donc que $R-h+1 > h-2$ c'est à dire $R \geq 2(h-1)$. Dans ces conditions, il convient à présent de décrire le procédé général de construction.

II.2.1. L'adressage

Il vient d'apparaître que les R boitiers peuvent être regroupés en deux ensembles disjoints

$\beta' = \{B^o, B^1, \ldots, B^{h-2}\}$ $\beta'' = \{B^{h-1}, B^h, \ldots, B^{R-1}\}$ avec card $\beta'' \geq h-1$ car $R \geq 2(h-1)$. Le bus adresses de chacun des boitiers de β'' sera directement connecté à la partie haute du bus adresses système ; celle qui délivre la valeur du quotient q. Pour tous les boitiers de β' le bus adresses sera la sortie du système d'incrémentation INC placé sur la dite partie haute.

II.2-2. L'incrément

La commande d'incrément I de INC est activée lorsque l'adresse système dépasse la valeur $qR + d \quad \forall q \in [o,N-1]$ avec d choisi dans l'intervalle $[h-2, R-h]$. Ce résultat peut être obtenu par un dispositif qui analyse le reste r de l'adresse système $qR + r$ et qui active la commande I dès que $r > d$.

Bien sûr, l'adressage le plus rapide sera celui où l'incrémentation est la plus tardive c'est-à-dire lorsque $d = R-h$. Pourtant, si on se place dans le cas préconisé au chapitre I, où R est une puissance de deux ($R = 2^S$) et que l'on choisisse $d = (R/2)- 1$ qui appartient à l'intervalle $[h-2,R-h]$ lorsque $R \geq 2(h-1)$, le dispositif d'analyse du reste r disparaît complètement.

En effet, si on note $A_0 \ldots A_{S-1}$ la partie basse du bus adresse système, celle qui porte la valeur du reste r appartenant à l'intervalle $[o, R-1]$ dans lequel $d = (R/2) - 1$ est la valeur médiane, la condition $r > d$ équivaut à $A_{S-1} = 1$; Il suffit donc de relier la commande d'incrément I au simpl E canal A_{S-1}.

II.2.3. La sélection des boitiers

Le tableau T I-1 montre que h boitiers consécutifs parmi les R doivent être sélectionnés simultanément ; lorsque l'adresse est comprise entre 0 et NR-h, l'ordre défini sur l'ensemble des boitiers est circulaire : c'est-à-dire que B^{i+1} suit B^i $\forall$ i $\in$ [o, R-2] et B^o est le successeur de B^{R-1}.

Pour le reste des adresses, celles de la forme (N-1)R + i i $\in$ [R-h+1, R-1] à cause du chevauchement entre la mémoire et sa suivante, les commandes de sélection à activer sont celles mentionnées dans le tableau T II-5 ; de plus, le système d'incrémentation INC indique un débordement sur son canal CY et délivre l'adresse 0 qui est la suivante de N-1 modulo R.

Adresse	sélection des boitiers	Sélection des boitiers de la mémoire suivante
(N-1)R + R- h +1	CS^{R-h+1} CS^{R-h+2}... CS^{R-1}	CS^{+o}
(N-1)R + R -h +2	CS^{R-h+2}... CS^{R-1}	CS^{+o} CS^{+1}
.....	.....	.....
NR - 1	CS^{R-1}	CS^{+o} CS^{+1} ... CS^{+h-2}

Tableau T II-5

On observe que pour être sélectionné, les boitiers B^o,..., B^{h-2} nécessitent la condition CS.CY + CS^-.CY alors que B^{h-1}..., B^{R-1} nécessitent la seule condition CS (CS représente la commande d'activation de la mémoire et CS^- celle de la mémoire précédente) . Bien sûr, ces conditions ne sont pas suffisantes ; encore faut-il sélectionner h boitiers parmi les R. Pour ce faire, on propose un dispositif (DChR) d'activation simultanée de h commandes successives dans un ensemble de R commandes ordonnées de façon circulaire et notées S_o ,S_1,... S_{h-1} . Les commandes de sélection des boitiers respectent alors les équations :

$$CS^i = (CS.\overline{CY} + CS^-.CY).S_i \qquad \forall i \in [o,h-2]$$

$$CS^i = CS.S_i \qquad \forall i \in [h-1, R-1]$$

Un dispositif établissant cette sélection est matérialisé à la figure II-5.

II.2-4. Mode de réalisation

Nous nous plaçons dans le cas favorable où h,N, et R sont des puissances de 2 ; le nombre minimal de boitiers qui respecte la condition $R \geq 2(h-1)$ est alors $R = 2h$ puisque 2h-2 et 2h-1 ne sont pas des puissances de 2.

Si on prend $N = 2^n$ et $R = 2^s$ et bien sûr $h = 2^{s-1}$, le bus adresse système est composé de n+s canaux. A_0 A_1... A_{s-1} A_s ... A_{n+s-1} ;

La partie haute A_s ... A_{n+s-1} sont les entrées de INC dont la commande d'incrément I est directement reliée à A_{s-1} . De plus, R étant un multiple de h, on peut établir les connections suivantes d^0 et d^h sur D_0 d^1 et d^{h+1} sur D_1,..., d^{h-1} et d^{2h-1} sur D_{h-1} cf:(I-4);la réorganisation des données fonction de la valeur portée par la partie A_0 ... A_{s-2} du bus adresses système, peut être effectuée par un simple permutateur Perm(h)(figure II-3).

La figure II-6 présente l'assemblage de 2h boitiers pour réaliser une mémoire adressable en tout point par une fenêtre de taille h. Il est intéressant de rappeler que pour une telle fenêtre, la mémoire comportera 2n boitiers de N emplacements et un seul système d'incrémentation. De plus, pour l'ensemble des adresses allant de 0 à 2Nh - 1, moins d'une adresse sur deux imposera un retard dans la sélection des boitiers concernés.

III. FENETRE RECTANGULAIRE

On propose à présent de construire une mémoire adressable en tout point par une fenêtre rectangulaire, cette construction est basée sur l'assemblage de plusieurs boitiers mémoire tels qu'ils ont été définis au chapitre I.

On assimile la mémoire à un écran dans lequel on veut déplacer une fenêtre rectangulaire de taille h.h'. Les informations de cette mémoire seront reparties dans un minimum de h.h' boitiers (I-1).

Pour introduire le principe d'association , nous envisagerons l' assemblage particulier de h.h' boitiers . L'occasion nous sera offerte de montrer que ce procédé d'assemblage n'est qu'une combinaison du procédé d'assemblage pour déplacer une fenêtre linéaire. Ce principe sera ensuite généralisé pour R.R' boitiers avant de traiter le cas particulier où R = 2h et R' = 2h'.

III-1 Assemblage de h.h' boitiers pour construire une mémoire adressable en tout point par une fenêtre rectangulaire de taille h.h'

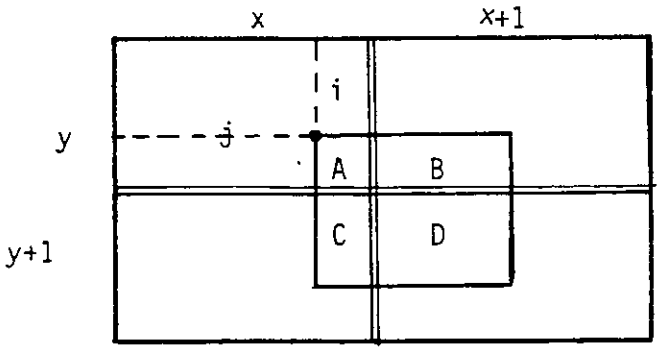
III.1.1. Exposé de la méthode

Dans cette partie, on propose une méthode d'assemblage de h.h' boitiers mémoire de K.L emplacements autorisant le déplacement d'une fenêtre rectangulaire de h.h' éléments. L'ensemble des boitiers est associé de façon bijective à celui des éléments de la fenêtre de sorte que chaque boitier fournisse un des éléments de la fenêtre.

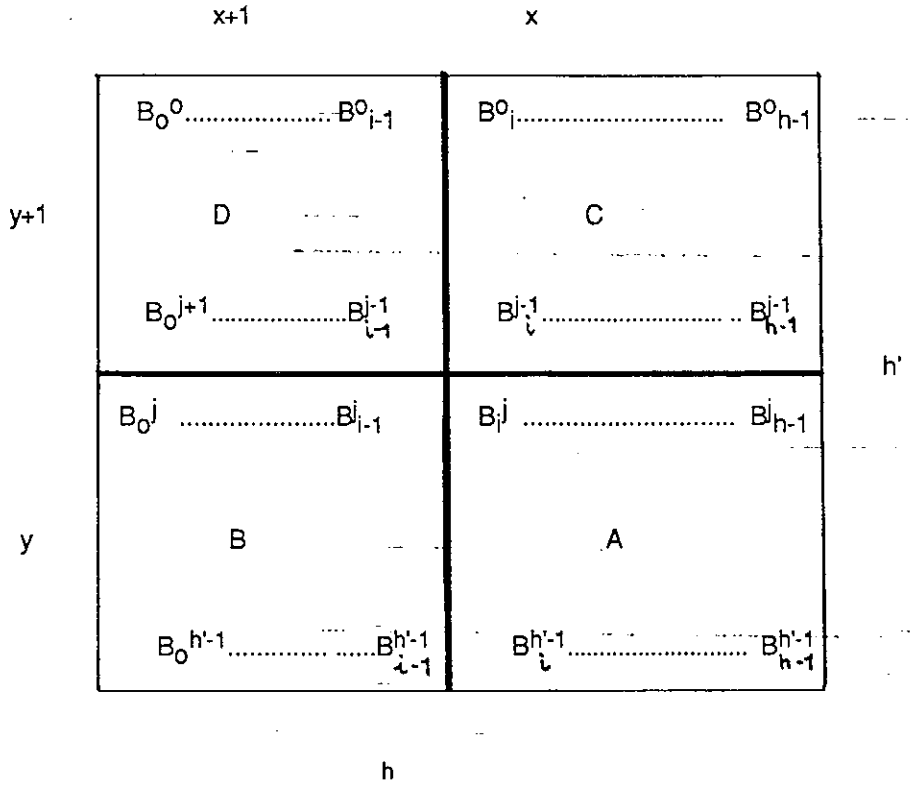
Si on assimile l 'écran à un rectangle de h.K sur h'L éléments alors l'élément de coordonnées $(xh+i, yh'+j)$ $i \in [o,h-1]$, $i \in [o,h-1]$, $j \in [o,h'-1]$, $x \in [o,K-1]$ $y \in [o,L-1]$, sera dans le boitier de coordonnée (i,j) à l'adresse colonne x et à l'adresse ligne y. Pour une fenêtre h.h' repérée par son coin supérieur gauche on observe que l'ensemble des éléments de la fenêtre est associé à des adresses qui seront :

Adresse colonne		Adresse ligne		
$xh+\alpha$	$\forall\alpha \in [i,h-1]$	$yh'+\alpha'$	$\forall\alpha' \in [j,h'-1]$	Région A
$(x+1)h+\beta$	$\forall\beta \in [o,i-1]$	$yh'+\alpha'$	$\forall\alpha' \in [j,h'-1]$	Région B
$xh+\alpha$	$\forall\alpha \in [i,h-1]$	$(y+1)h'+\beta'$	$\forall\beta' \in [o,j-1]$	Région C
$(x+1)h+\beta$	$\forall\beta \in [o,i-1]$	$(y+1)h'+\beta'$	$\forall\beta' \in [o,j-1]$	Région D

Ceci est illustré dans la figure suivante :



La figure ci-après montre le réseau des h.h' boitiers mémoires utilisés divisé en 4 zones , chacune recevant l'adresse indiquée.



La solution consiste à envoyer aux boitiers B_v^u:

- L'adresse colonne x $\forall v \in [i,h-1]$
- L'adresse colonne (x+1) $\forall v \in [o,i-1]$ $\forall u \in [o,h'-1]$ (1)
- L'adresse ligne y $\forall u \in [j,h'-1]$
- L'adresse ligne (y+1) $\forall u \in [o,j-1]$ $\forall v \in [o,h-1]$ (2)

Si pour chaque colonne de boitiers on met en commun les bus adresses de colonnes de tous les boitiers de cette colonne et si on procède ainsi pour les lignes de boitiers avec leur bus adresses lignes on est en présence de h bus adresses colonnes et de h' bus adresses lignes. On constate alors qu'il suffit d'appliquer la solution proposée au II-1-1 sur ces h bus adresses colonnes pour résoudre (1) et d'appliquer simultanément cette même solution sur les h' bus adresses lignes pour résoudre (2).

Le procédé d'assemblage de hh' boitiers mémoire pour construire une mémoire adressable en tout point par une fenêtre rectangulaire h.h' est donc une combinaison du procédé d' assemblage de h boitiers mémoire pour déplacer une fenêtre linéaire de taille h. Il nous reste à matérialiser cette combinaison.

III.1-2. Mode de réalisation

Considérons h.h' boitiers mémoires tous identiques notés B_v^u $u \in [o,h'-1]$, $v \in [o,h-1]$; chaque boitier est sélectionné par sa commande de sélection CS^u_v. Nous nous plaçons dans le cas où $h = 2^t$ et $h' = 2^{t'}$. Pour matérialiser le procédé présenté dans l'exposé de la méthode, il convient de dégager dans chaque boitier B_v^u la notion d'adresse colonne et la notion d'adresse ligne. On procède ainsi :

Les K.L emplacements de chaque boitiers B_v^u peuvent être virtuellement présentés comme une matrice de K colonnes sur L lignes et notés m_x^y $x \in [o,K-1]$ et $y \in [o,L-1]$ avec $K = 2^k$, $L = 2^l$.

Chaque boitier B_v^u comporte un bus adresse de l+k canaux binaires que l'on décompose ainsi :

$A_o^{cl}, A_1^{cl}, \ldots A_{k-1}^{cl}, \ldots A_o^{lg}, \ldots A_{l-1}^{lg}$

La première partie recevra une adresse colonne allant de o à K-1 et la deuxième partie recevra une adresse ligne allant de o à L-1 . Le couple formé par ces deux adresses correspondant à un emplacement m_x^y du boitier.

Chaque emplacement du boitier B_v^u est susceptible de contenir un élément d'information qui transite par l'intermédiaire d'un canal noté d_v^u.

Pour atteindre cet espace mémoire de h.K.h'.L emplacements, on dispose d'un bus d'adresses colonnes de h+t canaux notés $A_0, A_1, \ldots, A_{t-1}, A_t, \ldots A_{k+t-1}$ et d'un bus d'adresses lignes de l+t' canaux notés $A'_0, A'_1, \ldots A_{t'-1}, A'_t, \ldots A'_{l+t'-1}$.

Un bus données de h.h' canaux D_v^u $u \in [o, h'-1]$, $v \in [o,h-1]$ permet de véhiculer l'information de la fenêtre.

II.1.2.1 L'adressage des boitiers mémoires

La décomposition du bus adresse de chaque boitier en 2 parties l'une pour les colonnes, l'autre pour les lignes permet selon la solution proposée dans l'exposé de la méthode :

- de mettre en commun les bus d'adresses colonnes de chaque colonne de boitiers.
- de mettre en commun les bus d'adresses lignes de chaque ligne de boitiers.
- d'appliquer le dispositif d'adressage des boitiers mémoires présenté au II-1-2-1 sur les h bus d'adresses colonnes précédemment obtenus.
- d'appliquer ce même type de dispositif sur les h' bus d'adresses lignes.

III-1-2-2 La sélection des boitiers mémoires et l'effet de bord

Pour accroître l'espace mémoire et permettre l'assemblage de la mémoire que l'on est entrain de structurer avec d'autres mémoires identiques, elle reçoit depuis l'extérieur 2 commandes d'activation colonnes notées CS^{cl}, CS^{cl-} ainsi que 2 commandes d'activation lignes CS^{lg} et CS^{lg-}.

Là encore il est opportun d'utiliser l'existant ; soit dans notre cas 2 dispositifs de sélection de boitiers présentés au II-1-2-2 l'un pour sélectionner les colonnes de boitiers, l'autre pour sélectionner les lignes de boitiers.

Le premier reçoit en entrée CS^{cl} , CS^{cl-} et le débordement des h-1 incrémenteurs disposés sur les bus adresses colonnes correspondant. Il délivre en sortie h commandes de sélection de colonnes que l'on note : $CS_0^{cl}, CS_1^{cl}, \ldots, CS_{h-1}^{cl}$.

Le second reçoit CS^{lg} , CS^{lg-} et les débordements des h'-1 incrémenteurs placés sur les bus adresses lignes. Il délivre h' commandes de sélection de lignes. $CS_0^{lg}, CS_1^{lg}, \ldots, CS_{h'-1}^{lg}$.
Chaque boitier B_v^u qui ne dispose que d'une seule commande de sélection CS_v^u sera sélectionné lorsqu'il est à l'intersection de la colonne de boitiers v et de la ligne de boitiers u toutes deux activées. Les équations des commandes de sélection des h.h' boitiers s'écrivent donc ainsi :

$$CS_v^u = CS_v^{cl} \cdot CS_u^{lg} \qquad \forall\, u \in [o,h'-1] \qquad \forall\, v \in [o,h-1]$$

III.1.2.3. La réorganisation des données

Il reste à relier les canaux d_v^u des h.h' boitiers aux canaux $D_0^0 \ldots D^0_{h-1}, D_0^1 \ldots D^1_{h-1}, \ldots, D_0^{h'-1} \ldots D^{h'-1}$ du bus données.
Le réarrangement éventuel des données est une combinaison de la réorganisation des données du paragraphe II-1-2-3 ; il doit être opéré sur l'ensemble de colonnes puis sur les lignes ou vice et versa ; ce qui est mis en oeuvre par un double permutateur Per
m'(h,h') présenté à la figure III-1 où h = h' = 4.

III.1.2.4. Lecture - Ecriture

Jusqu'ici nous n'avons pas fait état de questions relatives à la lecture et à l'écriture ni même mentionné les commandes. Il suffit d'indiquer que si la mémoire reçoit un ordre de type R/w , il doit être communiqué à l'ensemble des boitiers selon les méthodes classiques.

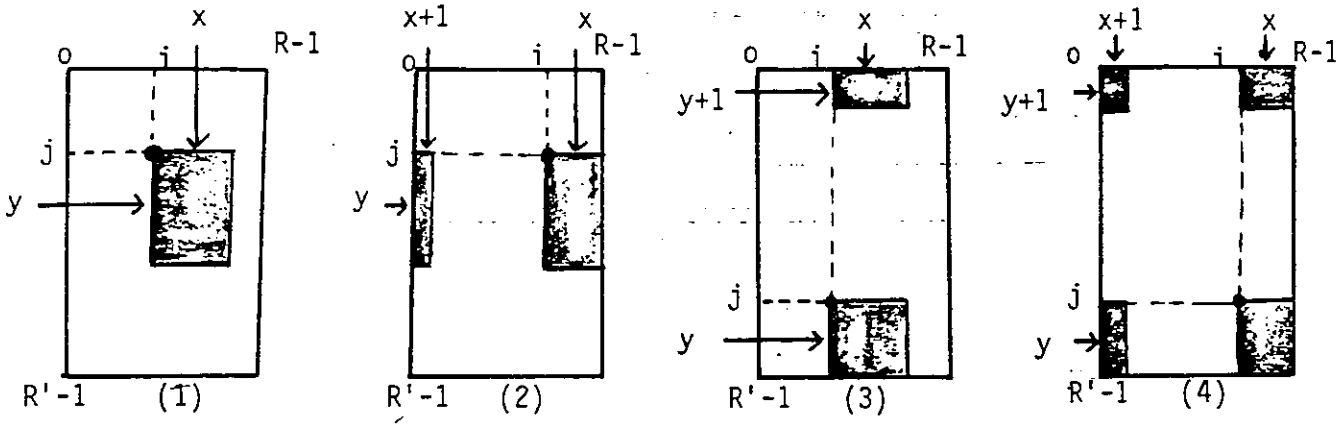
On notera que le procédé peut aisément se généraliser à des espaces mémoire de dimension quelconque supérieure à deux.

III.2. Principe généraux d'assemblage de plusieurs boitiers pour construire une mémoire adressable en tout point par une fenêtre rectangulaire

On considère R.R' boitiers mémoire tels qu'ils ont été définis aux III.1.2. On les organise en matrice de R colonnes sur R' lignes et on les note B_v^u $\forall u \in [o,R'-1]$ $\forall v \in [o,R-1]$; chaque boitier comporte KL emplacements adressables par une adresse colonne de o à K-1 et une adresse ligne de o à L-1. On définit alors une mémoire virtuelle ainsi :

l'espace mémoire de R.K.R'.L emplacements est adressable par une adresse colonne xR+i $x \in [o,K-1]$ $i \in [o,R-1]$ et une adresse ligne yR'+j $y \in [o,L-1]$ $j \in [o,R'-1]$; un élément d'adresse (xR+i,yR'+j) sera dans le boitier B_i^j à l'adresse (x,y).

Ainsi, les h.h' éléments d'une fenêtre rectangulaire ($h \leq R$ et $h' \leq R'$) seront associés à des emplacements des boitiers mémoire qui se trouvent à l'intersection de h colonnes successives de boitiers et de h' lignes successives de boitiers ; si on note $C_o, \ldots C_{R-1}$ les R colonnes de boitiers et $L_o, \ldots, L_{R'-1}$ les R' lignes de boitiers, l'ordre est ainsi défini : C_{i+1} suit C_i $\forall i \in [o,R-2]$ et C_o est le successeur de C_{R-1}. De même L_{j+1} suit L_j $\forall j \in [o, R'-2]$ et L_o suit $L_{R'-1}$. Pour une fenêtre repérée par son coin supérieur gauche d'adresse (xR+i, yR'+j), il faut envisager les 4 cas suivants:



Plus précisément, pour obtenir les hh' éléments de la fenêtre, il convient de communiquer aux h colonnes de boitiers et aux h' lignes de boitiers mentionnées ci-dessous les adresses indiquées pour chacun des cas illustrés précédemment :

1) $\forall i \in [o, R-h]$	C_i C_{i+1} ..... C_{i+h-1}	L_j L_{j+1} ... $L_{j+h'-1}$
$\forall j \in [o,R'-h']$	x x ... x	y y ... y

2) $\forall\ i \in [R-h+1, R-1]$

$\forall\ j \in [o, R'-h']$

C_o ... C_{R-i-1}	C_i ... C_{R-1}
x+1 ... x+1	x ... x

L_j L_{j+1} ... $L_{j+h'-1}$
y y ... y

3) $\forall\ i \in [o, R-h]$

$\forall\ j \in [R'-h'+1, R'-1]$

C_o ... C_{i+h-1}
x ... x

L_o ... $L_{R'-j-1}$	L_j ... $L_{R'-1}$
y+1 ... y+1	y ... y

4) $\forall\ i \in [R-h+1, R-1]$

$\forall\ j \in [R'-h'+1, R'-1]$

C_o ... C_{R-i-1}	C_i ... C_{R-1}
x+1 ... x+1	x ... x

L_o ... $L_{R'-j-1}$	L_j ... $L_{R'-1}$
y+1 ... y+1	y ... y

Ce qui revient à appliquer le procédé (I-2) d'activation simultanée de h colonnes de boitiers parmi R et simultanément ce même procédé (avec h = h') sur les R' lignes de boitiers. On note donc qu'il est possible de généraliser à des espaces mémoires de dimension quelconque.

Ce procédé est préférable à toute méthode programmée . Toutefois, on observe que seules (R-h+1)(R'-h'+1) adresses sur R.R' ne nécessitent aucune modification.
Lorsqu'on à assembler h.h' boitiers (III-1) , la fréquence du retard dû à la traversée des systèmes d'incrémentation était de 1 - (1/h.h') ; retard imposé ou presque... à chaque sélection de la mémoire. De plus, cette mémoire comportait au mieux h.h' boitiers mémoire et (h-1)+(h'-1) incrémenteurs. A présent, nous allons envisager l'assemblage de (2h)(2h') boitiers mémoire. Il est basé sur 4 h.h' boitiers et 2 incrémenteurs ; la fréquence du retard est de l'ordre de 3/4.

III.3 Assemblage de 4 h.h' boitiers pour construire une mémoire adressable en tout point par une fenêtre rectangulaire de taille h.h'

Nous nous plaçons dans le cas favorable où h,h',K,L, sont des puissances de deux. Selon ce qui vient d'être exposé (III.2) :

- pour chaque colonne de boitiers, on met en commun des bus adresses colonnes de bus les boitiers de cette colonne.
- on procède ainsi pour les lignes de boitiers avec leur bus adresses lignes.
- chaque boitier B_v^u $u \in [o, 2h'-1]$, $v \in [o, 2h-1]$ qui ne dispose que d'une seule commande de sélection CS_v^u sera sélectionné lorsqu'il est à l'intersection de la colonne C_v et de la ligne L_u toutes deux activées par des commandes notées CS_v^{cl} et CS_u^{lg}. Ainsi :

$$CS_v^u = CS_v^{cl}.\ CS_u^{lg} \qquad \forall\ u \in [o, 2h'-1] \quad \forall\ v \in [o, 2h-1]\ .$$

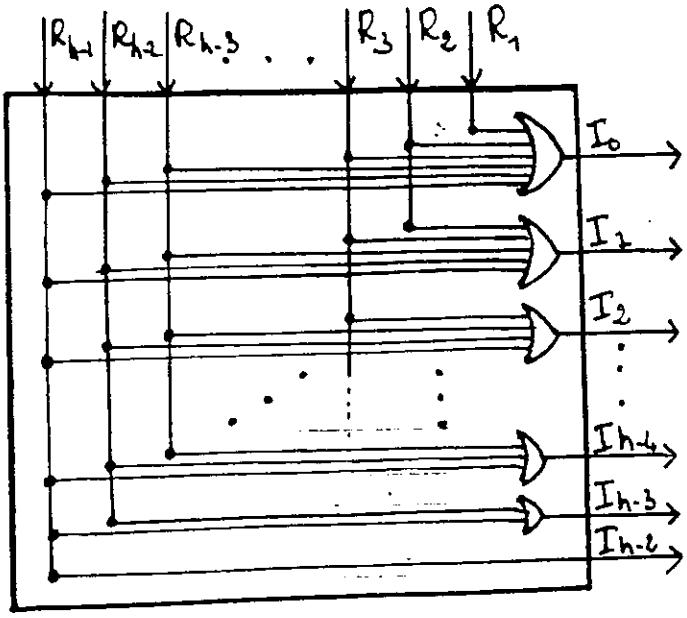
Le fait que 2h>2(h-1) et 2h'>2(h'-1) permet d'appliquer le procédé (II-2) d'activation simultanée de h colonnes de boitiers successives et simultanément ce même procédé (avec h = h') sur les 2h' lignes de boitiers. Pour ce qui concerne les canaux des données on établit les connexions suivantes :

$$d_j^i \quad D_{h-1-v}^{h'-1-u} \quad \text{avec} \qquad u = j \bmod h' \quad \forall\ j \in [o, 2h'-1]$$

$$v = i \bmod h \quad \forall\ i \in [o, 2h-1]$$

Le réarrangement éventuel des données respecte là encore la séparation ligne-colonne ; le permutateur Perm(h,h') de la figure III-1 opère la réorganisation sur les colonnes puis sur les lignes. Toutefois, nous rappelons qu'il est possible de ne pas disposer de permutateur sur le bus données, soit parce que la réorganisation est effectuée par ailleurs, soit parce qu'elle n'est pas nécessaire pour le traitement.

Une mémoire adressable en tout point par une fenêtre rectangulaire h.h' , construite à partir de ' hh' boitier est réalisée à la figure III.2



$$I_i = \sum_{r=i+1}^{h-1} R_r \quad \forall\, i\ [0,h-2]$$

Figure II-1 : Dispositif de sélection des Incréments.

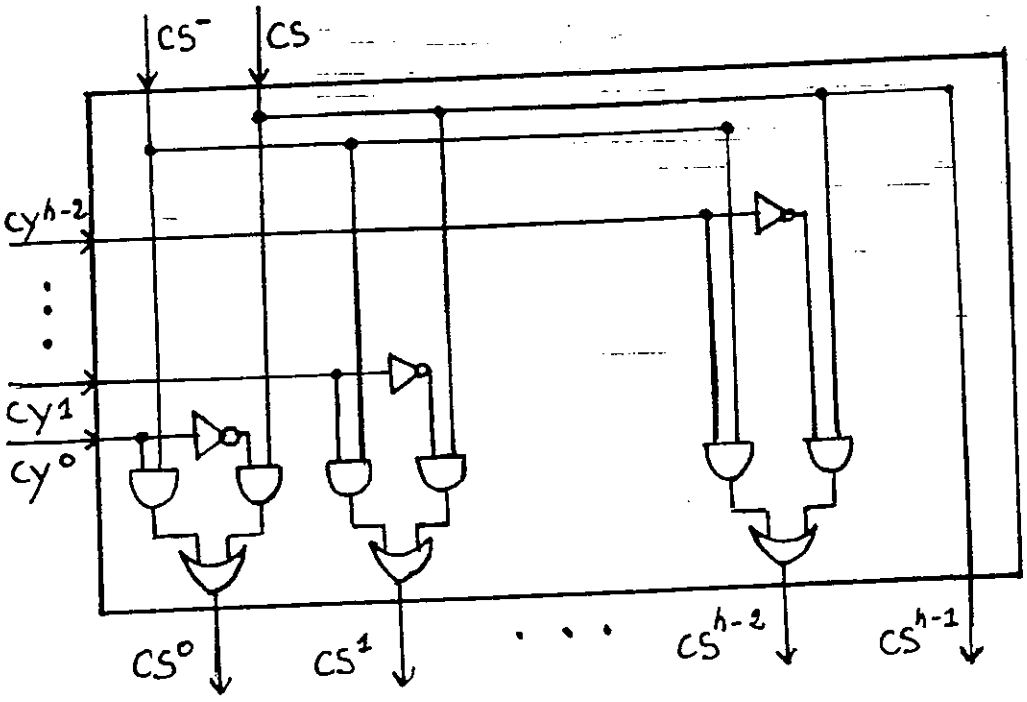


Figure II-2 : Dispositif de sélection des boitiers.

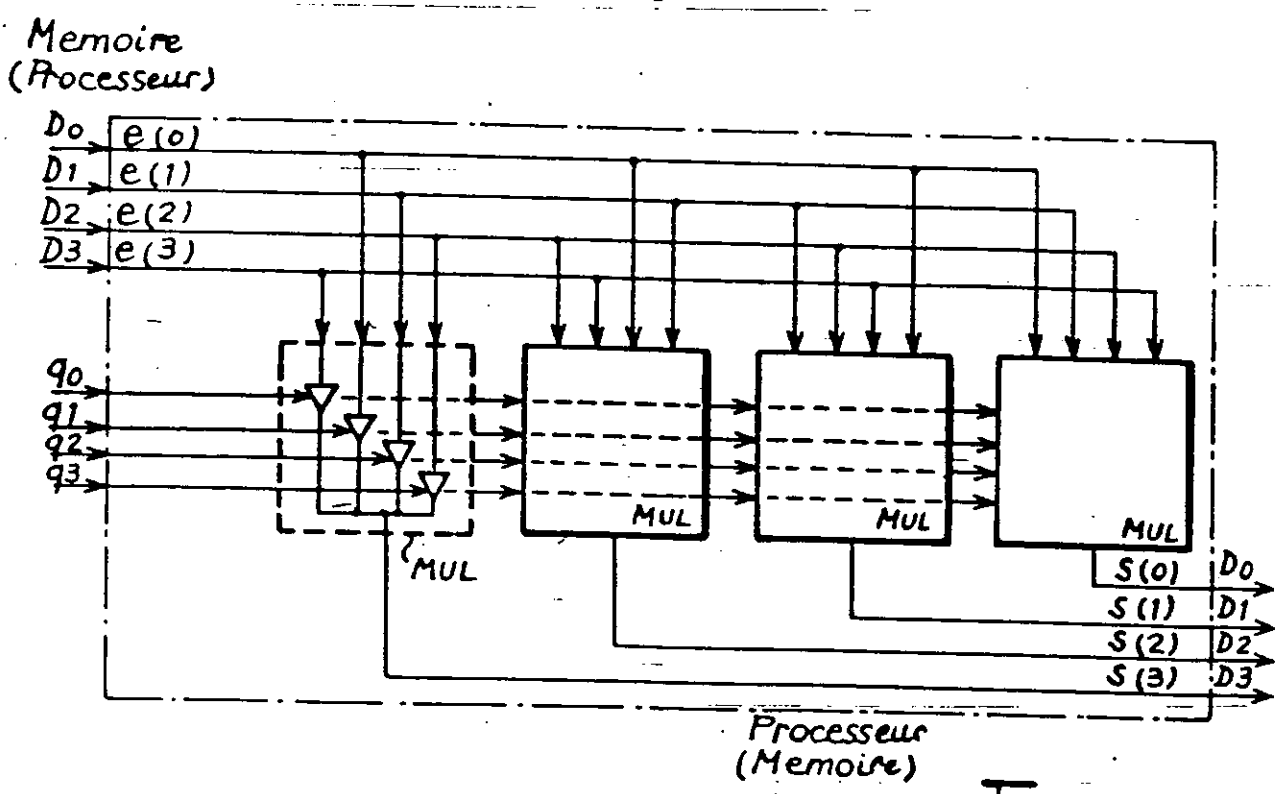


Fig. II-3

Perm(4)

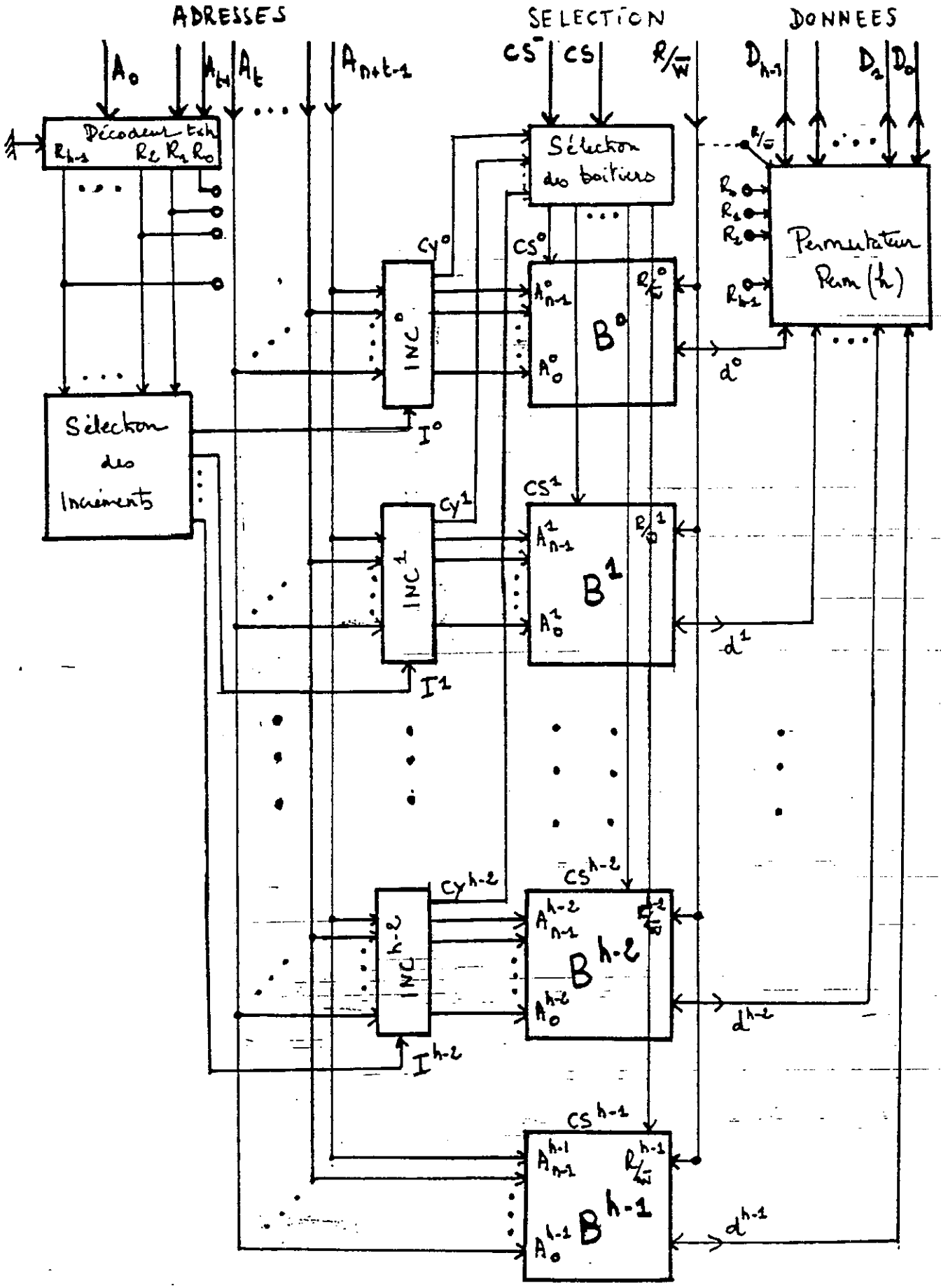
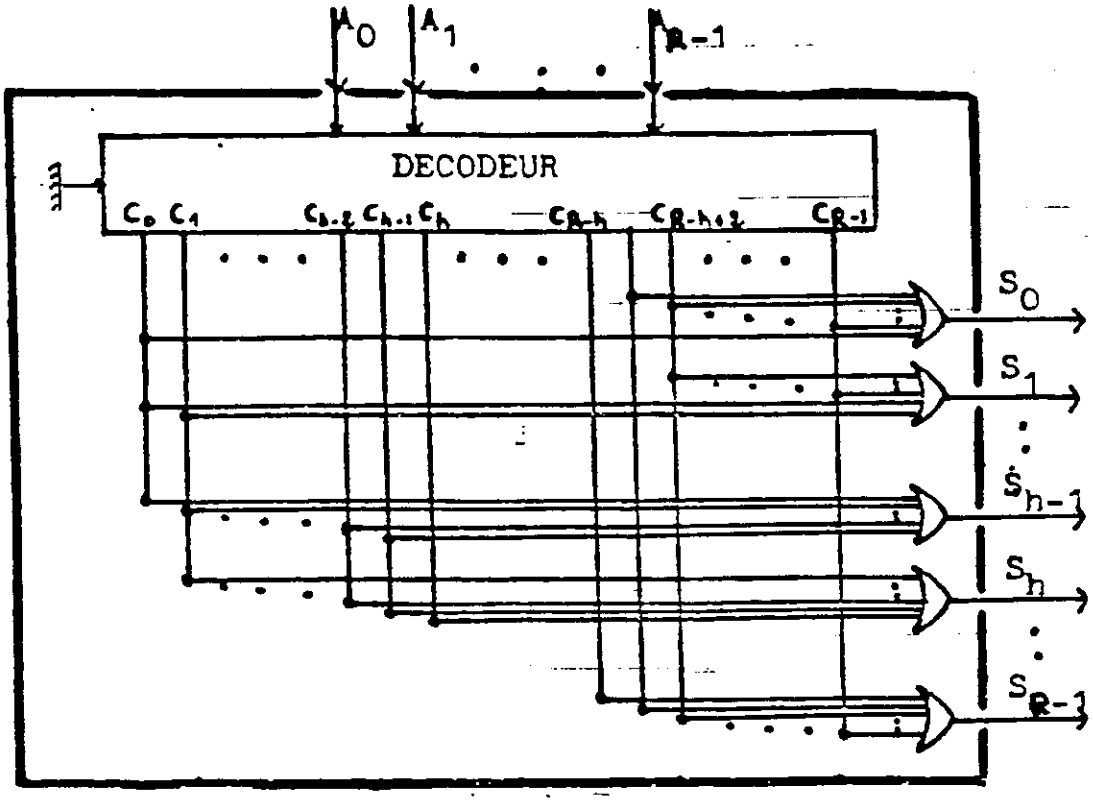


Figure II-4 : Mémoire adressable en tout point par une fenêtre linéaire de taille h (h boitiers mémoire)



Dispositif DChR

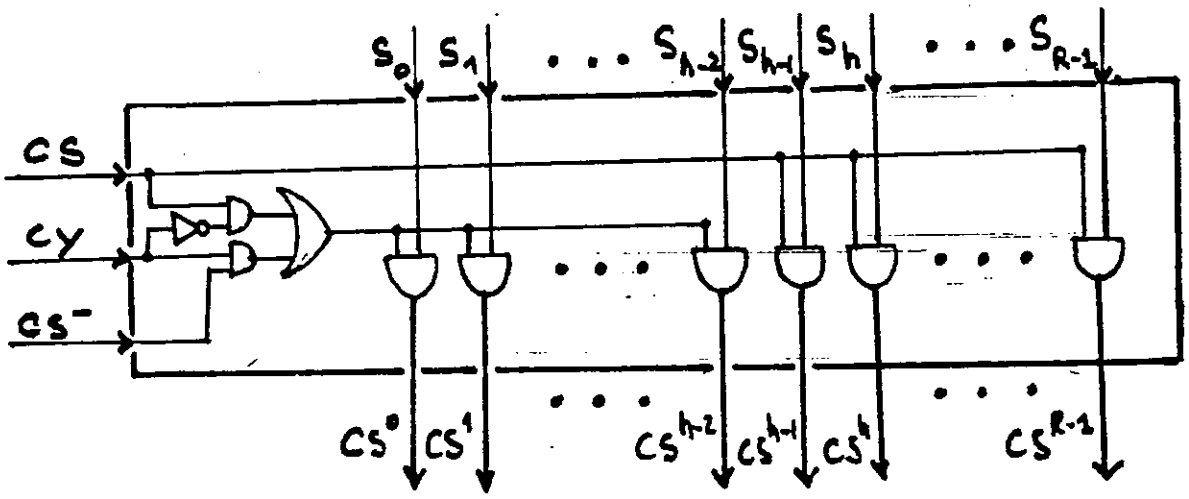


Figure II-5 : Dispositif de sélection des boitiers.

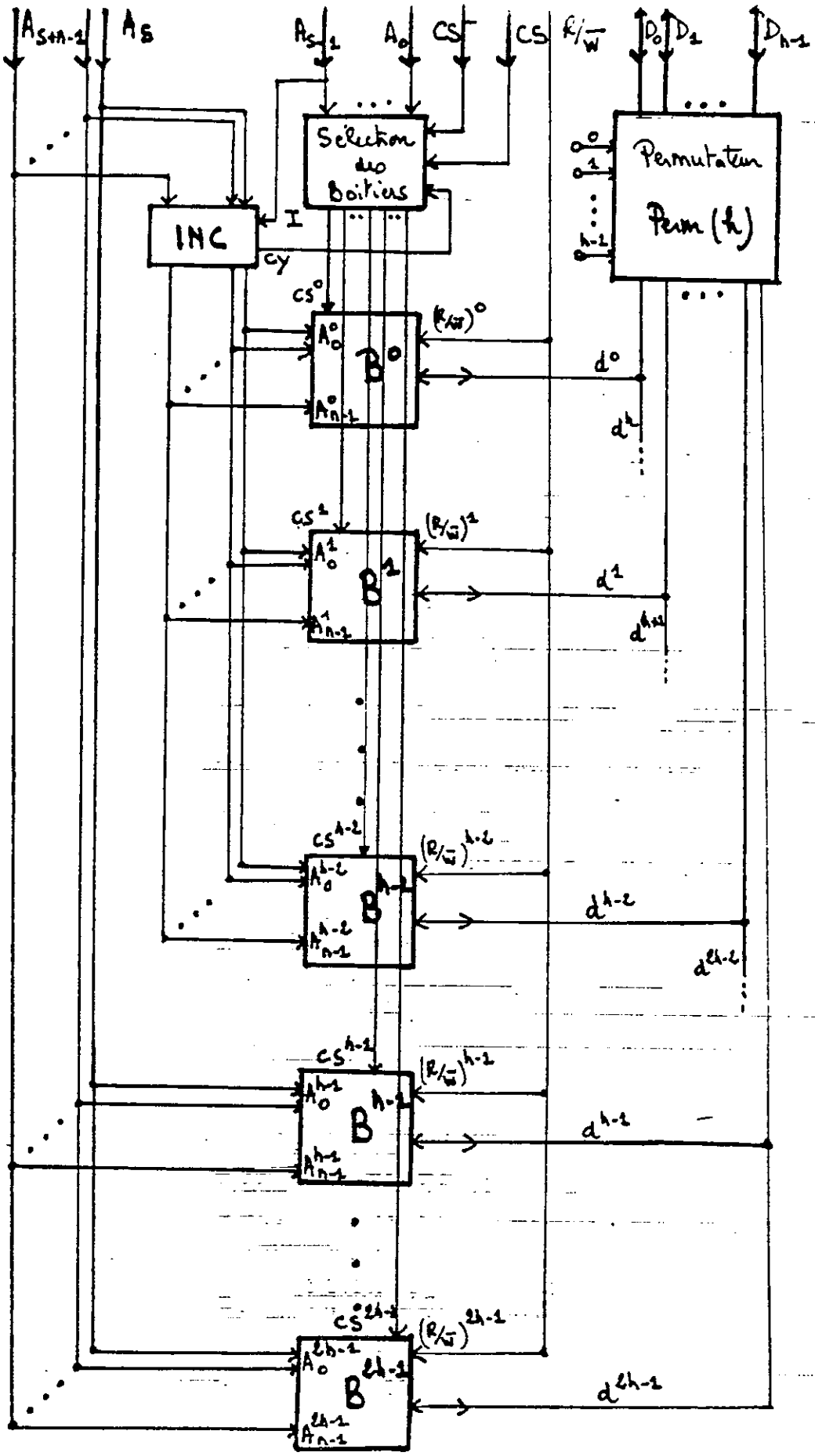


Figure II-6 : Mémoire adressable en tout point par une fenêtre linéaire de taille h (2h boitiers mémoire)

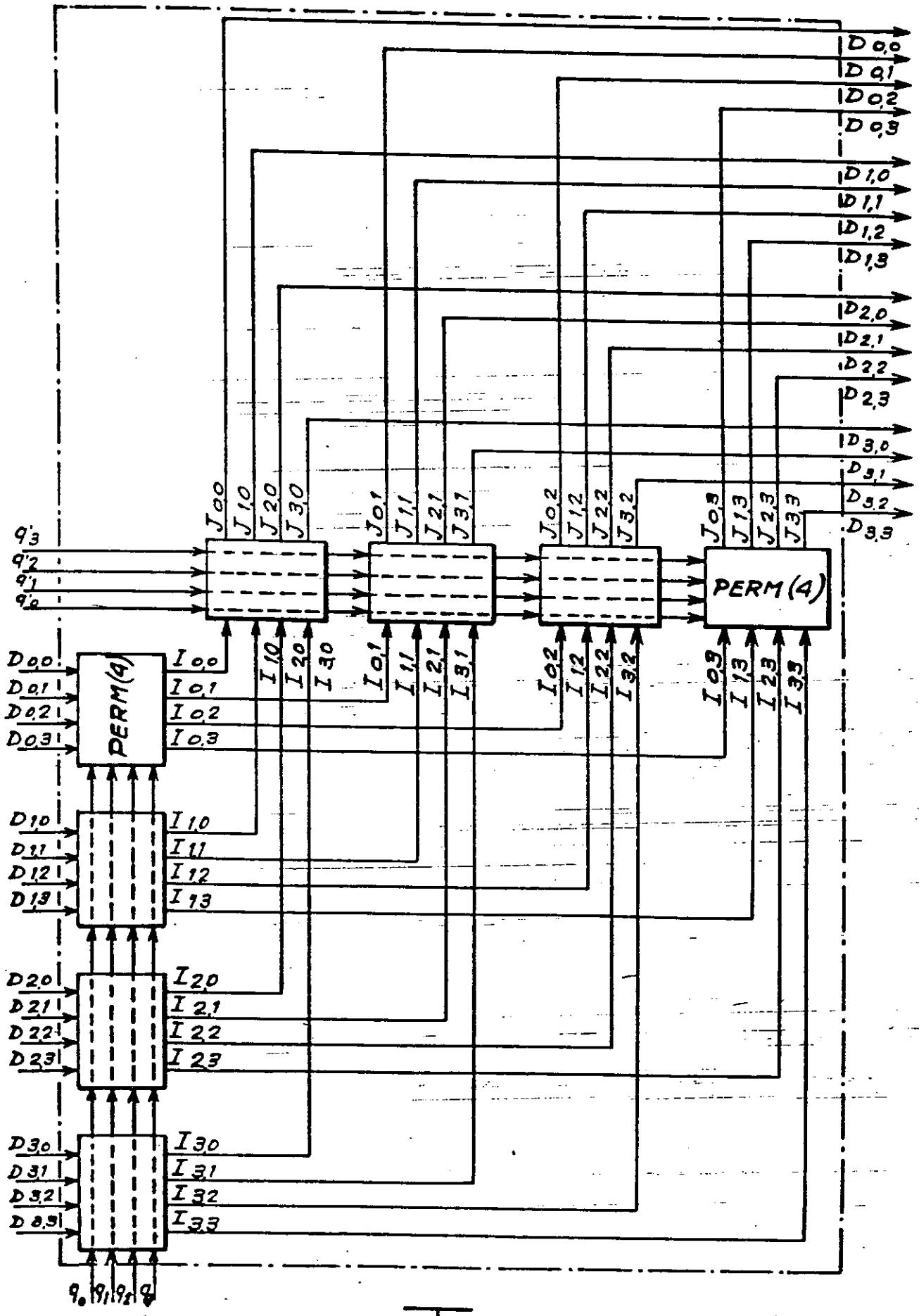


Fig. III-1: Perm (4,4)

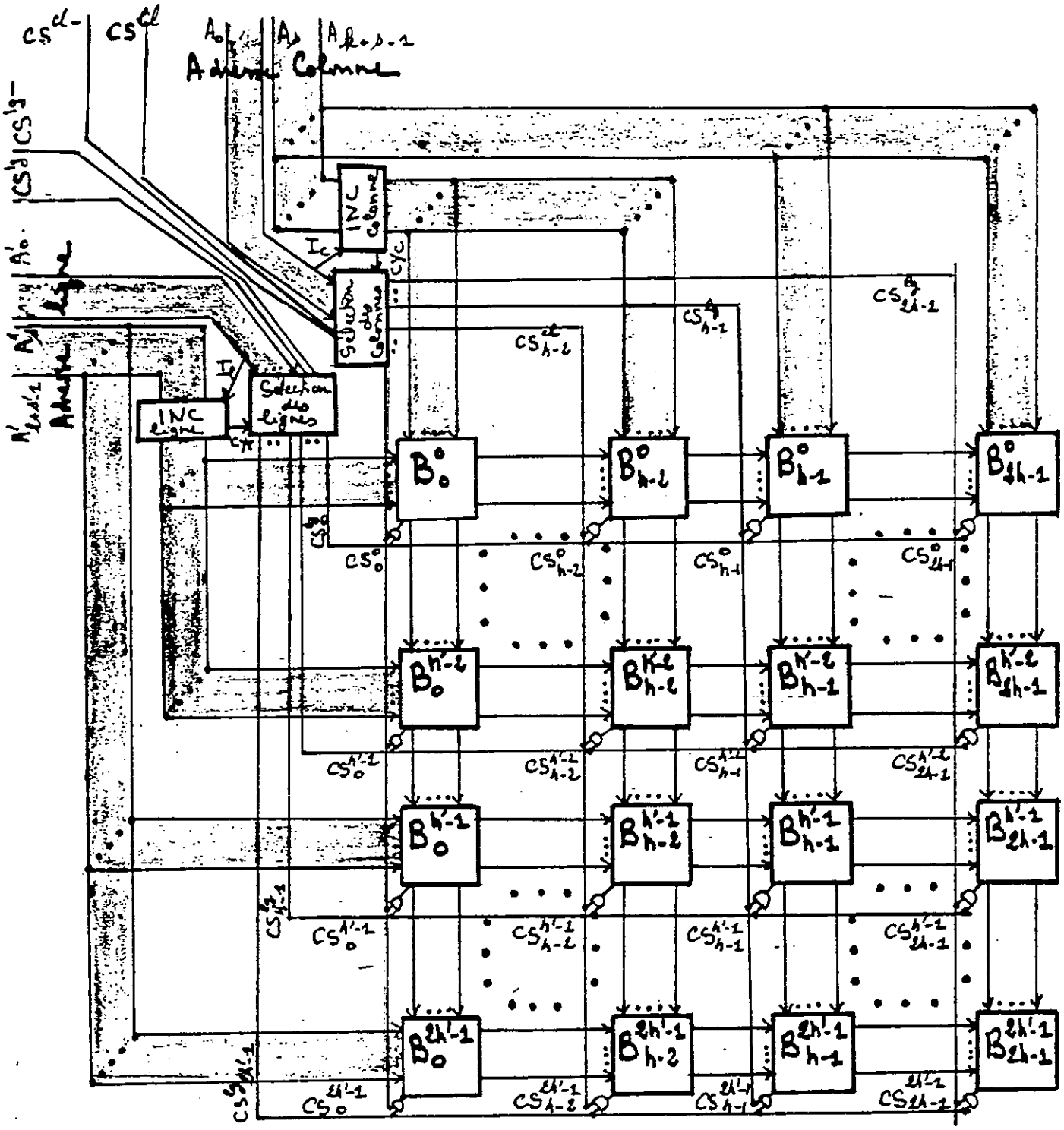


Figure III-2 : Mémoire adressable en tout point par une fenêtre rectangulaire h.h' (4hh' boitiers)

C. CONCLUSION

L'étude précédente et les autres exemples auxquels elle faisait suite, sont caractérisés par le fait qu'on utilise toujours des mémoires classiques ; de ce fait on n'atteint jamais une situation où le parallélisme et la rapidité des commandes activant plusieurs cellules de mémoire, sont maximaux, comme lors d'un accès à un mot physique de la mémoire dans une structure segmentée. Les principes que nous avons développés établissent, d'une part, que les calculs préalables sur les adresses sont inévitables, et d'autre part, que les seuls moyens d'atténuer les pénalisations temporelles qui en résultent, imposent d'augmenter le nombre des boitiers de mémoire.

Dans un travail récent **[Isoardi - Lehmann 85]** , les auteurs posaient la question de la suppression du cloisonnement , en l'associant à la possibilité structurelle, d'opérer un "glissement" d'une fenêtre de dimensions définies dans l'espace mémoire.

Le cadre méthotodologique choisi,directement inspiré d'un modèle du calculable **[Lehmann 84]** a consisté à considérer ce problème comme premier, en évitant dans toute la mesure du possible de le résoudre par des techniques faisant intervenir le matérie' existant, et la perspective tracée visait à dégager les idées pouvant mener à la conception d'une **nouvelle organisation de mémoire en termes structurels de champ et non de segmentation** .

Depuis les débuts de l'informatique, tout un chacun pense et agit, en sachant que la mémoire physique des machines forme un espace segmenté. Nous n'insisterons pas sur les innombrables désagréments que cette structure détermine, mais sur le fait qu'on a fini par les considérer comme une fatalité. Les habitudes entraînées par une telle représentation, ne contribuent-elles pas à limiter notre imagination ? Certes de nombreux efforts visent à s'affranchir de la contrainte du cloisonnement, mais ceux-ci s'exercent toujours avec l'arrière pensée que la mémoire demeure en dernier ressort, un casier de mots fixes ; cela est si vrai que la quasi totalité des cours d'informatique se développent à partir de cette image fondamentale du casier, qui pourtant n'est imposée que par la technologie, et n'a pas de justification intrinsèque.

Les processeurs eux aussi, sont structurés à partir de cette vision des choses et il n'est pas exagéré de dire que la programmation mise en oeuvre au niveau machine est, elle aussi, largement déterminée par ce cadre.

Dans un prochain numéro du Bulletin d'Informatique Approfondie, nous présenterons une nouvelle structure de mémoire, non segmentée, susceptible d'intégration, qui a fait l'objet de deux brevets **[Isoardi-Lehmann B1-84] [Isoardi - LehmannB2-84]**, qui est accessible instantanément en lecture ou en écriture selon une fenêtre linéaire ou bidimensionnelle.

Pour conclure nous citerons quelques mots de BACKUS : "la programmation actuelle est une affaire d'objets, d'objets rangés dans des cases. Il faut passer à une programmation de fonctions agissant dans l'espace où se trouvent ces objets. C'est très difficile, cela nous prive de notre manière de faire puisque, quand nous ne désignons pas ces objets, nous désignons les cases où ils devraient se trouver. Chaque objet a une adresse et maintenant il faut accepter qu'il n'y ait plus que des fonctions exercées dans un espace ", **[Backus 84]** .

D. BIBLIOGRAPHIE

1 - Articles

[Backus 84] J. BACKUS : Interview au journal "Libération", 21.09.84, 28-29.

[Castan 85] S. CASTAN : Architectures adaptées au traitement d'images ; Techniques et Sciences Informatiques, Vol 4, n° 5, mai 85, 431-444

[Danielson 81] P.E DANIELSON et S. LEVIALDI : Computer Architecture for Pictorial Information Systems ; Computer Magazine, November 81.

[Duff 81] B. DUFF et S. LEVIALDI (ed) : Languages and Architectures for Image Processing ; Academic Press, 1981.

[Gaafar 85] M. GAAFAR : Rapport interne ; Institut International de Robotique et d'Intelligence Artificielle de Marseille (IIRIAM), 5 décembre 85.

[Gupta 86] K. GUPTA, R.F. SPROULL : A VLSI Architecture for Updating Raster-Scan Displays ; Computer Graphics, Vol 15, N° 3, August 81.

[Guttag 86] K. GUTTAG, J. VAN AKEN, M. ASAL : Requirements for a VLSI Graphics Processor ; IEEE Computer Graphics and Applications, January 86, 32-47.

[Ingalls 81] D.H. INGALLS : The Smalltalk Graphics Kernel ; special issue on Smalltalk, Byte, Vol 6, N° 8, August 81, 168-194.

[Isoardi 85] P. ISOARDI, J.PH. LEHMANN : Nouvelle structure de mémoires adressables par une fenêtre à déplacement continu ; publication de l'Institut de Recherche Mathématique Avancée de Strasbourg (IRMA), janvier 85.

[Lehmann 84] J.PH. LEHMANN : Machines et Calculabilité ; Thèse de 3ème cycle, Université d'Aix-Marseille II Luminy, 1984.

[N.S.83] NATIONAL SEMICONDUCTOR : NS 32032-6, High Performance Microprocessors ; document interne NS, août 83.

[Rosenfeld 76] ROSENFELD, AZRIELD and KAK, AVINASH.C. : Digital Picture Processing ; Academic Press, 1976.

2 - Brevets

[Isoardi B1 .84] P. ISOARDI, J.PH. LEHMANN - Nouvelle structure de mémoires adressables par une fenêtre à déplacement continu avec chevauchement ; brevet d'invention France N° 8412946 du 16.08.84.

[Isoardi B2.84] P. ISOARDI, J.PH. LEHMANN - Procédés de construction de dispositifs d'activation simultanée de trains de commandes et application aux mémoires ; brevet d'invention France N° 8420185 du 31.12.84 - Demande PCT N° 8500378. du 30.12.85.

[Morrisson 82] B.D. MORRISSON - Dispositif d'alignement bidirectionnel de multiplets de données pour mémoire à accès aléatoire ; brevet d'invention US N° 438142 du 1.11.82.